

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349229

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 2000-139323

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.03.1991

(72)Inventor : SAKUTA TOSHIYUKI

ITO KAZUYA

ISHIHARA MASAMICHI

YAMAGUCHI YASUNORI

KASAMA YASUHIRO

UDAGAWA SATORU

MIYAMOTO EIJI

MATSUNO YOICHI

SATO HIROSHI

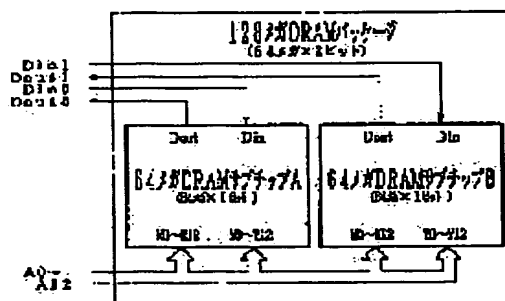
NOZOE ATSUSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance a semiconductor device in memory capacity by a method wherein a first and a second lead address terminal and corresponding control terminals are made to overlap with each other in a vertical direction and connected in common, and a first and a second memory chip are housed in a package separating data input/output terminals from each other.

SOLUTION: A DRAM package is equipped with DRAM sub-chips A and B. An address multiplex system is adopted in the sub-chips A and B, and an address space is designated in an alternative way in accordance with 13-bit X address signals X0 to X12 and Y address



signals Y0 to Y12 fed in a time division way through the intermediary of 13 address input terminal A0 to A12. The data input pads Din and data output pads Dout of the sub-chips A and B are each connected to the data input terminal Din and data output terminal Dout of the DRAM package in common. The address input pads A0 to A12 of the sub-chips A and B are connected to the address input pads A0 to A12 of the DRAM package in common.

LEGAL STATUS

[Date of request for examination] 12.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3249805

[Date of registration] 09.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-349229
(P2000-349229A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl.⁷

H 0 1 L 25/065
25/07
25/18

識別記号

F I

H 0 1 L 25/08

テマート*(参考)

Z

審査請求 有 請求項の数 4 O L (全 43 頁)

(21) 出願番号 特願2000-139323(P2000-139323)
(62) 分割の表示 特願平3-74530の分割
(22) 出願日 平成3年3月13日(1991. 3. 13)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 作田 俊之
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72) 発明者 伊藤 和弥
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(74) 代理人 100081938
弁理士 徳若 光政

最終頁に続く

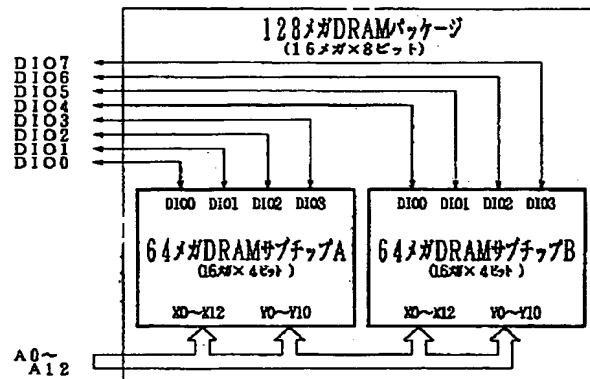
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 簡単な構成で記憶容量の増大を実現した半導体装置を提供する。

【解決手段】 同一の構成にされた第1と第2のメモリチップの各々に対応して第1のリードと第2のリードを設け、かかる第1と第2のリードのうちアドレス端子及び制御端子の対応するもの同士を上下に重ね合わせて共通接続し、データ入出力端子をそれぞれ独立に分離させた状態で上記第1と第2のメモリチップを1つのパッケージに収納する。

【図10】



1

【特許請求の範囲】

【請求項1】 同一の構成にされた第1と第2のメモリチップと、

上記第1のメモリチップに対応して設けられた第1のリードと、

上記第2のメモリチップに対応して設けられた第2のリードと、

上記第1と第2のリードのうちアドレス端子及び制御端子の対応するもの同士を上下に重ね合わせて共通接続し、データ入出力端子をそれぞれ独立に分離させた状態で上記第1と第2のメモリチップを1つのパッケージに収納してなることを特徴とする半導体装置。

【請求項2】 請求項1において、

上記第1と第2のメモリチップは、その表面と直角をなす方向であって表面部が異なる向きに重ね合わされて積層化されてなり、

上記第1のリードと第2のリードのうち、上記共通接続されるリードに対応された第1と第2のメモリチップのボンディングパッドとの接続は、ワイヤボンディングにより対応するもの同士が同じになるようミラー反転形態に接続されてなることを特徴とする半導体装置。

【請求項3】 請求項1又は2において、

上記第1と第2のリードは同じパターンのリードからなり、前記データ入出力端子に対応したリードは、上記第1と第2のメモリチップの両方のデータ入出力端子に対応されて設けられ、そのうちの半分がダミーリードとされてなることを特徴とする半導体装置。

【請求項4】 請求項3において、

上記第1と第2のメモリチップと上記第1と第2のリードとは、上記第1と第2のメモリチップの各々の表面に、上記第1と第2のリードの各々が電気絶縁性をもって貼りつけられてなるLOC技術により組み立てられるものであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置に関し、主に2つのメモリチップを用いて記憶容量の増大を実現するものに利用して特に有効な技術に関するものである。

【0002】

【従来の技術】ダイナミック型メモリセルが格子状に配置されてなるメモリアレイを基本構成とするDRAMチップがあり、このようなDRAMチップを基本構成とするDRAMパッケージがある。従来のDRAMパッケージは、通常、1個のDRAMチップを搭載し、そのボンディングパッドは、ワイヤボンディングにより、外部端子と一体化されたリードフレームの対応するリードと接続される。

【0003】1個のDRAMチップを搭載するDRAMパッケージについては、例えば、特願平1-65838

2

号等に記載されている。

【0004】

【発明が解決しようとする課題】近年、DRAMチップの高集積化及び大容量化は著しく、そのチップ面積は増大の一途である。このため、DRAMチップを搭載するDRAMパッケージも次第に大型化される傾向にあり、これによってDRAMパッケージからなるメモリシステム等の実装効率が思うように改善されないという問題が生じた。

【0005】これに対処するため、例えば図65ないし図67に示されるように、複数のサブチップ（この明細書では、1個のパッケージが複数の半導体チップによって構成されるとき、このパッケージを構成する複数の半導体チップのそれぞれをサブチップと称する）を1個のパッケージに搭載するいくつかの方法が提案されている。すなわち、図65では、セラミック等からなる配線基板7Aの表面に、複数のサブチップ1E～1Iが搭載される。また、図66では、リードフレーム3の上に、まず比較的大きなサブチップ1Jが搭載され、このサブチップ1Jの上に、比較的小さな2個のサブチップ1K及び1Lが対向すべく搭載される。サブチップ1Jならびに1K及び1Lの対応するパッドは、ハンダバンブ10を介して互いに結合され、さらにサブチップ1Jに設けられたボンディングパッドが、ボンディングワイヤ5を介して対応する外部端子すなわちアウトリード3Bと結合される。一方、図67では、まずサブチップ1Nが配線基板7B上にダイボンドされ、サブチップ1N上に設けられたパッドが、ボンディングワイヤ8を介して配線基板7Bの対応するメタライズ部11にボンディングされる。そして、サブチップ1Nがモールド樹脂9により被覆され、その表面が平らに整形された後、サブチップ1Mが積み重ねて搭載される。

【0006】なお、図66及び図67のチップ搭載方式については、それぞれ特開昭61-284951号及び特開昭62-283634号公報に記載されている。

【0007】ところが、半導体チップの高集積化及び大容量化が進むにしたがって、上記のようなチップ搭載方法にも次のような問題点があることが、本願発明者等によって明らかとなった。すなわち、図65の場合、複数のサブチップ1E～1Iが同一平面上に搭載されるため、搭載する半導体チップの数に応じて配線基板7Aの面積が増大し、パッケージサイズも大型化する。一方、図66の場合、下に搭載されるサブチップ1Jは、ボンディングワイヤ5を引き出すためのパッド分だけ上のサブチップ1K及び1Lより大きくなくてはならず、例えばDRAMチップ等のように、同じ製造プロセスで形成された同一サイズのサブチップを使ってパッケージを構成することができない。また、図67の場合、特に下側のサブチップ1Nの放熱が阻害されるとともに、配線基板7Bを必要とするためにパッケージサイズの縮小化が

3

制限される。さらに、いずれの場合も、例えばリードフレームに直接的にワイヤボンディングする従来のパッケージ方法に比較して、製造工程が複雑化し、製品歩留まりが低下するという問題が生じる。

【0008】この発明の目的は、簡単な構成で記憶容量の増大を実現した半導体装置を提供することにある。この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、同一の構成にされた第1と第2のメモリチップの各々に対応して第1のリードと第2のリードを設け、かかる第1と第2のリードのうちアドレス端子及び制御端子の対応するもの同士を上下に重ね合わせて共通接続し、データ入出力端子をそれぞれ独立に分離させた状態で上記第1と第2のメモリチップを1つのパッケージに収納する。

【0010】上記手段によれば、2つメモリチップを用いて2倍の記憶容量を持つ半導体装置を簡単に得ることができる。

【0011】

【実施例】1. ダブルチップパッケージ方式による128メガDRAMパッケージ

1. 1. DRAMパッケージの概要

図1には、この発明が適用されたいわゆる128メガ（この明細書では、1メガをもって2の20乗とする）DRAMパッケージの一実施例のブロック図が示され、図2には、その一実施例のタイミング図が示されている。これらの図をもとに、まずこの実施例のDRAMパッケージの概要とそのチップ選択方式について説明する。なお、この明細書では、本発明によるチップ搭載方式をダブルチップパッケージ方式と称する。ダブルチップパッケージ方式による具体的なチップ搭載方法とその特徴については、『1. 4. DRAMパッケージのパッケージ形態』を参照されたい。

【0012】1. 1. 1. ブロック構成

この実施例のDRAMパッケージ(1)は、図1に示されるように、2個のDRAMサブチップA(1A)及びB(1B)を含む。これらのサブチップは、それぞれいわゆる64メガの記憶容量を有し、書き込みデータ及び読み出しデータは、データ入力端子Din又はデータ出力端子Doutを介してそれぞれ1ビット単位で入力又は出力される。一方、サブチップA及びBは、いわゆるアドレスマルチプレクス方式を採り、そのアドレス空間は、13個のアドレス入力端子A0～A12を介して時分割的に供給される13ビットのXアドレス信号（ロウアドレス信号）X0～X12ならびにYアドレス信号（カラムアドレス信号）Y0～Y12に従ってそれぞれ

4

択一的に指定される。サブチップA及びBのデータ入力パッドDin及びデータ出力パッドDoutは、DRAMパッケージのデータ入力端子Din及びデータ出力端子Doutにそれぞれ共通結合され、アドレス入力パッドA0～A13は、DRAMパッケージのアドレス入力端子A0～A13にそれぞれ共通結合される。

【0013】DRAMサブチップA及びBには、さらに、外部端子RASB及びCASBならびにWEBから対応するボンディングパッドを介して、起動制御信号となるロウアドレスストローブ信号RASB（ここで、それが有効とされる時選択的にロウレベルとされるいわゆる反転信号又は反転信号線については、その名称の末尾にBを付して表す。以下同様）及びカラムアドレスストローブ信号CASBならびにライトイネーブル信号WEBが供給される。また、アドレス入力端子A13から対応するボンディングパッドを介してチップ選択信号となるXアドレス信号X13が供給されるとともに、2個の外部端子VCC1及びVCC2から対応するボンディングパッドVCC1及びVCC2を介して外部電源電圧VCCが供給され、外部端子VSS1及びVSS2から対応するボンディングパッドVSS1及びVSS2を介して回路の接地電位が供給される。なお、外部電源電圧VCCは、+5Vのような正の電源電圧とされ、後述するように、サブチップA及びBの降圧部により降圧された後、各サブチップの動作電源電圧となる。

【0014】1. 1. 2. チップ選択方式

サブチップA及びBは、ロウアドレスストローブ信号RASB及びカラムアドレスストローブ信号CASBがロウレベルとされることによって選択的に選択状態とされ、ライトイネーブル信号WEBの論理レベルによってその動作モードが設定される。アドレス入力端子A0～A12には、図2に示されるように、ロウアドレスストローブ信号RASBの立ち下がりに同期してXアドレス信号X0～X12が供給され、カラムアドレスストローブ信号CASBの立ち下がりに同期してYアドレス信号Y0～Y12が供給される。

【0015】この実施例において、サブチップA及びBは、さらにチップ選択信号すなわちXアドレス信号X13の論理レベルに従って、その選択状態が選択的に指定される。すなわち、Xアドレス信号X13がロウレベルとされるとき、DRAMパッケージでは、図2に実線で示されるように、サブチップAの内部制御信号CSがハイレベルとされ、サブチップAが選択状態とされる。一方、Xアドレス信号X13がハイレベルとされると、DRAMパッケージでは、図2に点線で示されるように、サブチップBの内部制御信号CSがハイレベルとされ、サブチップBが選択状態とされる。これらの結果、64メガDRAMサブチップA及びBは、そのいずれか一方が択一的に選択状態とされるものとなり、これによってDRAMパッケージは、各サブチップの2倍すなわち1

5

28メガ×1ビットの記憶容量を有するものとなる。言うまでもなく、DRAMパッケージとしての消費電力は、サブチップA及びBが択一的に選択状態とされることで、これらのサブチップ1個分の消費電力に相当する比較的小さなものとなる。

【0016】1. 2. DRAMサブチップの概要

図3には、図1のDRAMパッケージを構成する64メガDRAMサブチップの一実施例の標準仕様表が示され、図4には、その一実施例のブロック図が示されている。また、図5には、図4の64メガDRAMサブチップの一実施例の基板配置図が示され、図6には、その一実施例のアドレス割り付け図が示されている。これらの図をもとに、この実施例のDRAMパッケージを構成する64メガDRAMサブチップA及びBの具体的構成と仕様及びアドレス選択方式ならびに動作の概要について説明する。なお、サブチップA及びBは基本的に同一の構成とされるため、この章の説明ではサブチップA及びBを区別しない。

【0017】1. 2. 1. 標準仕様

この実施例の64メガDRAMサブチップは、図3に示されるように、所定のパッドに対するボンディングが選択的に実施されることで、64メガワード×1ビット

(以下、例えば64メガ×1ビットのように略称する)及び16メガ×4ビットならびに8メガ×8ビットの3種類のビット構成をとりうる。サブチップが64メガ×1ビットのビット構成とされるとき、そのアドレス空間は、前述のように、13ビットのXアドレス信号X0～X12ならびにYアドレス信号Y0～Y12によって択一的に指定される。一方、サブチップが16メガ×4ビットのビット構成とされるとき、そのアドレス空間は、13ビットのXアドレス信号X0～X12と11ビットのYアドレス信号Y0～Y10に従って択一的に指定される。また、サブチップが8メガ×8ビットのビット構成とされるとき、そのアドレス空間は、13ビットのXアドレス信号X0～X12と10ビットのYアドレス信号Y0～Y9に従って択一的に指定される。つまり、この実施例の64メガサブチップでは、ロウアドレス空間が常に13ビットのXアドレス信号によって指定され、そのリフレッシュサイクルも、64ms(ミリセカンド:1000分の1秒)を周期として8キロ(この明細書では、1キロをもって2の10乗とする)サイクルに統一される。

【0018】次に、64メガDRAMサブチップのパッケージ形態は、いわゆるSOJ(Small Outline J-bend)型パッケージとされ、その外形寸法は、特に制限されないが、300ミル×850ミル(ここで、ミルは1000分の1インチを表す)とされる。パッケージには、最大32個のピンすなわち外部端子が用意される。サブチップは、前述のように、アドレスマルチプレクス方式を採り、そのロウアドレス空間

6

は、ビット構成にかかわらず13ビットのXアドレス信号X0～X12によって指定される。このため、アドレス入力端子として使用されるピン数は、チップ選択信号となるXアドレス信号X13を含めて、サブチップのビット構成に関係なく14個となる。一方、サブチップが64メガ×1ビットのビット構成とされるとき、書き込みデータ及び読み出しデータは、前述のように、データ入力端子Din又はデータ出力端子Doutを介して1ビット単位で入力又は出力される。ところが、サブチップが16メガ×4ビット又は8メガ×8ビットのビット構成とされる場合には、書き込みデータ及び読み出しデータは、共通のデータ入出力端子DIO0～DIO3あるいはDIO0～DIO7を介して4又は8ビット単位で入力又は出力される。このとき、サブチップには、読み出しデータの出力タイミングを設定するための出力イネーブル信号OEBが供給され、起動制御信号すなわちクロックを供給するために供されるピン数は4本となる。これらの結果、各サブチップで使用されるピンの合計数は、64メガ×1ビットのビット構成において23個、16メガ×4ビットのビット構成において26個、8メガ×8ビットのビット構成において32個となる。

【0019】さらに、64メガDRAMサブチップは、所定のテストモードを備え、このテストモードにおいて、同時に読み出される8ビットの記憶データを与えられた期待値データと比較照合する並列テスト機能を備える。このとき、並列テストの試験結果は、すべての出力端子又は入出力端子から共通に出力される。一方、サブチップは、選択されたワード線に結合される複数のメモリセルに記憶データを連続して入力又は出力するための高速カラムモードすなわちファーストページ(Fast Page)モード及びスタチックカラム(Static Column)モードならびにニブル(Nibble)モードを備える。このうち、ニブルモードは、サブチップが64メガ×1ビットのビット構成とされるときに有効とされ、最大32ビットの記憶データを連続して入力又は出力する。また、ファーストページモード及びスタチックカラムモードは、いずれのビット構成においても有効とされ、最大8キロビットすなわち8192ビットの記憶データを連続して入力又は出力することができる。

【0020】1. 2. 2. ブロック構成

この実施例の64メガDRAMサブチップは、図4に示されるように、そのアドレス空間が8キロすなわち8192のロウアドレス及びカラムアドレスからなるメモリアレイ201をその基本構成とする。このメモリアレイは、実質的に同図の垂直方向に平行して配置され各ロウアドレスに対応される8192本のワード線と、水平方向に平行して配置され各カラムアドレスに対応される8192組の相補ビット線とを含む。これらのワード線及び相補ビット線の交点には、8192×8192すなわ

7

ち 67108864 つまりいわゆる 64 メガ個のダイナミック型メモリセルが格子状に配置される。これにより、この実施例のサブチップは、いわゆる 64 メガビットの記憶容量を持つものとされる。なお、この実施例の DRAM サブチップにおいて、メモリアレイは、後述するように、実際には 4 個のメモリブロックに分割され、各メモリブロックは、さらにそれぞれが 4 個のサブアレイからなる 4 個のマットに分割される。ブロック構成に関する以下の説明は、メモリアレイを 1 個とみなして進められる。

【0021】メモリアレイ 201 を構成するワード線は、ワードドライバ 202 を介して X アドレスデコーダ 203 に結合される。X アドレスデコーダには、X プリデコーダ 204 から所定のプリデコード信号が供給され、さらに RAS 2 系クロック発生部 210 から内部制御信号 XDG が供給される。X プリデコーダには、X アドレスバッファ 205 から内部アドレス信号 BX0 ~ BX12 が供給され、X アドレス信号 X13 をもとに形成される内部制御信号 CS が供給される。さらに、X アドレスバッファには、アドレス入力パッド A0 ~ A13 を介して X アドレス信号 X0 ~ X13 が時分割的に供給され、モード設定部 223 から内部制御信号 TCD 及び CSA が供給される。

【0022】X アドレスバッファ 205 は、アドレス入力パッド A0 ~ A13 を介して時分割的に供給される X アドレス信号 X0 ~ X13 を取り込み、これをもとに内部アドレス信号 BX0 ~ BX12 ならびに内部制御信号 CS を形成する。このうち、内部制御信号 CS は X プリデコーダ 204、RAS 2 系クロック発生部 210、ライトアンプ 218 及びデータ出力バッファ 221 に供給され、これらのブロックを選択的に動作状態とするためのいわゆるチップ選択信号として用いられる。この実施例において、内部制御信号 CS がハイレベルとされる論理条件は、後述するように、内部制御信号 CSA 及び TCD つまりはパッド F1 ~ F3 ならびに TC に対するボンディングが選択的に実施されることで、選択的に切り換えられる。なお、これらのボンディングオプションについては、『1. 5. DRAM サブチップのボンディングオプション』を参照されたい。

【0023】X プリデコーダ 204 は、X アドレスバッファ 205 から供給される内部アドレス信号 BX0 ~ BX12 を 2 ビット又は 3 ビットずつ組み合わせてデコードすることで、所定のプリデコード信号を形成する。これらのプリデコード信号は、X アドレスデコーダ 203 に供給されるとともに、その一部は、メモリブロックやマットならびにサブアレイを選択的に活性化するために供される。この実施例において、X プリデコーダ 204 は、X アドレスバッファから供給される内部制御信号 CS に従って選択的に動作状態とされる。これにより、サブチップが非選択状態とされるときは無駄な動作電流が

8

削減され、DRAM パッケージとしての低消費電力化が推進される。

【0024】X アドレスデコーダ 203 は、X プリデコーダ 204 から供給されるプリデコード信号を組み合わせることにより、メモリアレイの対応するワード線を選択的に選択するための選択信号を形成する。これらの選択信号は、ワードドライバ 202 を介してメモリアレイの対応するワード線に伝達され、これによって対応するワード線が所定の選択レベルとされる。周知のように、ワード線が選択レベルとされることで、このワード線に結合される 8192 個のメモリセルが一斉に選択状態とされ、その保持データが対応する相補ビット線に出力される。これらの保持データは、このままでは破壊されるが、センスアンプ 206 の対応する単位増幅回路によってその信号振幅が所定のレベルに増幅されることで、対応するメモリセルに書き込みされる。DRAM サブチップでは、センスアンプ 206 の 8192 個の単位増幅回路が一斉に動作状態とされるとき、比較的大きな動作電流を必要とする。このため、センスアンプが動作状態とされるかどうか、言い換えるならばワード線を選択動作が行われるかどうかをもって、各サブチップの活性化の有無を表している。言うまでもなく、非選択状態とされるサブチップは活性化されないことが低消費電力化の上では大事なことであるが、チップ選択信号の入力タイミングによっては DRAM パッケージを構成する 2 個のサブチップを同時に活性化しなくてはならない場合も生じる。このような場合には、ライトアンプ 218 又はデータ出力バッファ 221 による記憶データの入力又は出力動作のみが内部制御信号 CS に従って選択的に実行される。

【0025】次に、メモリアレイを構成する相補ビット線は、センスアンプ 206 の対応する単位増幅回路に結合され、さらに対応するスイッチ MOSFET を介して共通 IO 線 217 に選択的に接続される。センスアンプ 206 は、メモリアレイの各相補ビット線に対応して設けられる 8192 個の単位増幅回路と同数対のスイッチ MOSFET とを含む。このうち、センスアンプの各単位増幅回路は、RAS 2 系クロック発生部 210 から図示されない所定の内部制御信号が供給されることで選択的にかつ一斉に動作状態とされる。この動作状態において、各単位増幅回路は、選択されたワード線に結合される 8192 個のメモリセルからメモリアレイ 201 の対応する相補ビット線を介して出力される微小読み出し信号を増幅し、ハイレベル又はロウレベルの 2 値読み出し信号とする。一方、センスアンプの各対のスイッチ MOSFET には、Y アドレスデコーダ 207 からビット線選択信号がそれぞれ供給される。これらのスイッチ MOSFET は、対応するビット線選択信号がハイレベルとされることで選択的にオン状態となり、メモリアレイの対応する相補ビット線と共通 IO 線 217 とを選択

的に接続する。

【0026】Yアドレスデコーダ207には、Yプリデコーダ208からプリデコード信号が供給されるとともに、CAS系クロック発生部213から内部制御信号YDGが供給される。Yプリデコーダ208には、Yアドレスバッファ209から内部アドレス信号BY0～BY12が供給され、Yアドレスバッファ209には、アドレス入力パッドA0～A12を介してYアドレス信号Y0～Y12が時分的に供給される。

【0027】Yアドレスバッファ209は、アドレス入力パッドA0～A12を介して時分的に供給されるYアドレス信号Y0～Y12を取り込み、これらのYアドレス信号をもとに内部アドレス信号BY0～BY12を形成して、Yプリデコーダ208に供給する。Yプリデコーダ208は、内部アドレス信号BY0～BY12を2又は3ビットずつ組み合わせてデコードすることで所定のプリデコード信号を形成して、Yアドレスデコーダ207に供給する。Yアドレスデコーダ207は、これらのプリデコード信号を組み合わせて、対応する上記ビット線選択信号を択一的にハイレベルとする。

【0028】メモリアレイ201の指定された相補ビット線が選択的に接続状態とされるコモンIO線217は、ライトアンプ218の出力端子に結合されるとともに、メインアンプ220の入力端子に結合される。ライトアンプ218の入力端子は、データ入力バッファ219の出力端子に結合され、このデータ入力バッファの入力端子は、データ入力パッドDinに結合される。ライトアンプ218には、上記内部制御信号CSが供給されるとともに、WE系クロック発生部215から内部制御信号WPが供給される。一方、メインアンプ220の出力端子は、データ出力バッファ221の入力端子に結合され、このデータ出力バッファ221の出力端子は、データ出力パッドDoutに結合される。データ出力バッファ221には、CAS系クロック発生部213から内部制御信号DOCが供給される。

【0029】データ入力バッファ219は、DRAMサブチップが書き込みモードで選択状態とされるとき、データ入力パッドDinを介して供給される書き込みデータをライトアンプ218に伝達する。ライトアンプ218は、DRAMサブチップが書き込みモードで選択状態とされ内部制御信号CS及びWPがハイレベルとされるとき、選択的に動作状態とされる。ライトアンプは、この動作状態において、データ入力バッファ219から伝達される書き込みデータをもとに所定の相補書き込み信号を形成し、コモンIO線217を介してメモリアレイ201の選択された1個のメモリセルに書き込む。一方、メインアンプ220は、DRAMサブチップが読み出しモードで選択状態とされるとき、メモリアレイ201の選択された1個のメモリセルからコモンIO線217を介して出力される読み出し信号をさらに増幅し、読

み出しデータとしてデータ出力バッファ221に伝達する。データ出力バッファ221は、DRAMサブチップが読み出しモードで選択状態とされ内部制御信号DOCがハイレベルとされることで、選択的に動作状態とされる。この動作状態において、データ出力バッファ221は、メインアンプ220から出力される読み出しデータをデータ出力パッドDoutを介してサブチップの外部に送出する。つまり、この実施例のDRAMサブチップでは、チップ選択信号となる内部制御信号CSに従ってライトアンプ218及びデータ出力バッファ221が選択的に動作状態とされ、記憶データの入力又は出力動作が選択的に実行されるものとなる。

【0030】DRAMサブチップは、さらに、制御回路を構成するRASバッファ212とRAS1系クロック発生部211及びRAS2系クロック発生部210、CASバッファ214及びCAS系クロック発生部213ならびにWEバッファ216及びWE系クロック発生部215を備え、モード設定部223及び降圧部222を備える。このうち、RASバッファ212には、入力パッドRASBを介してロウアドレスストローブ信号RASBが供給され、その出力信号はRAS1系クロック発生部211に供給される。RAS1系クロック発生部211の出力信号は、RAS2系クロック発生部210に供給されるとともに、サブチップの所定の各部に供給される。RAS2系クロック発生部210には、さらに上記内部制御信号CSが供給され、その出力信号は、内部制御信号XDGとしてXアドレスデコーダ203に供給されるとともに、サブチップの所定の各部に供給される。RAS1系クロック発生部211及びRAS2系クロック発生部210は、RASバッファ212を介して入力されるロウアドレスストローブ信号RASBをもとに、ワード線選択動作やセンスアンプ206の制御に必要な各種内部制御信号を形成する。前述のように、RAS2系クロック発生部210の動作は、内部制御信号CSによって制御される。その結果、Xアドレスデコーダ203やワードドライバ202及びセンスアンプ206の動作が選択的に実行され、これによってサブチップが選択的に活性化される。

【0031】一方、CAS系クロック発生部213には、入力パッドCASBを介してカラムアドレスストローブ信号CASBが供給され、その出力信号はCAS系クロック発生部213に供給される。CAS系クロック発生部213の出力信号は、内部制御信号YDG及びDOCとしてYアドレスデコーダ207及びデータ出力バッファ221に供給されるとともに、サブチップの所定の各部に供給される。CAS系クロック発生部213は、CASバッファ214を介して入力されるカラムアドレスストローブ信号CASBをもとに、相補ビット線の選択動作やメインアンプ220及びデータ出力バッファ221の制御に必要な各種内部制御信号を形成する。

11

同様に、WEバッファ216には、入力パッドWEBを介してライトイネーブル信号WEBが供給され、その出力信号はWE系クロック発生部215に供給される。WE系クロック発生部215の出力信号は、内部制御信号WPとしてライトアンプ218に供給されるとともに、サブチップの所定の各部に供給される。WE系クロック発生部215は、WEバッファ216を介して入力されるライトイネーブル信号WEBをもとに、ライトアンプ218の制御に必要な内部制御信号WP等を形成する。

【0032】さらに、モード設定部223には、パッドF1～F3ならびにTCを介して所定のモード制御信号が供給され、その出力信号は、内部制御信号CSA及びTCDとしてXアドレスバッファ205に供給される。モード設定部223は、パッドF1～F3ならびにTCを介して供給されるモード制御信号をもとに、サブチップのビット構成やチップ選択条件を設定するための各種内部制御信号を形成する。一方降圧部222は、電源電圧入力パッドVCC1及びVCC2を介して供給される外部電源電圧VCCをもとに、所定の内部電源電圧VCLを形成し、サブチップの各部に動作電源として供給する。この実施例において、内部電源電圧VCLは、+3.3Vのような比較的絶対値の小さな正の電源電圧とされる。

【0033】1. 2. 3. 基本レイアウト

この実施例の64メガDRAMサブチップにおいて、メモリアレイ201は、前述のように、4個のメモリブロック0～3に分割され、これらのメモリブロックは、さらにそれぞれが4個のサブアレイ0～3からなる4個のマット0～3に分割される。各メモリブロック及びマットを構成するサブアレイ0～3は、図5に示されるように、ワード線を半導体基板面のX軸すなわち短辺方向に延長すべく配置され、隣接する2個のサブアレイ0及び1ならびにサブアレイ2及び3の間には、図示されないセンスアンプが配置される。そして、これらのセンスアンプに対応して、それぞれ2組のコモンIO線217が設けられる。サブアレイ0～3の内側には、対応するワードドライバ202及びXアドレスデコーダ203が配置される。各メモリブロックを構成するマット0～3は、それぞれ2個ずつ対をなし、各対のマットの間には、Yアドレスデコーダ207が配置される。これらのYアドレスデコーダは、両側の2個のマットすなわち8個のサブアレイによって共有される。各メモリブロックの間には、ライトアンプ218及びメインアンプ220を含むリードライト回路がそれぞれ配置される。半導体基板面のY軸すなわち長辺方向の中央部には、複数のボンディングパッドが直線状に配置される。後述するように、DRAMパッケージを構成する一対のサブチップA及びBは、互いに向かい合って搭載される。このように、ボンディングパッドを半導体基板面のY軸の中央部に直線状に配置することで、ボンディングパッドの面対

12

称性を確保できるとともに、従来のLOC (Lead On Chip) 方式によるチップ搭載方法を適応できる。なお、図5の基板配置図は、各部のレイアウトサイズやボンディングパッドの絶対数等を規制するものではない。

【0034】この実施例において、サブアレイ0～3は、特に制限されないが、実質的に512本のワード線と2048組の相補ビット線とを含み、いわゆる1メガビットの記憶容量をそれぞれ有する。したがって、各マットは、1メガ×4すなわちいわゆる4メガビットの記憶容量をそれぞれ有するものとされ、各メモリブロックは、4メガ×4すなわちいわゆる16メガビットの記憶容量をそれぞれ有するものとされる。これにより、DRAMサブチップは、合計16メガ×4すなわち64メガビットの記憶容量を有するものとされる。なお、この実施例では、DRAMサブチップが選択状態とされるとき、図5に斜線で示されるように、4個のサブアレイが同時に活性化され、活性化される4個のサブチップからそれぞれ隣接する2組、合計8組の相補ビット線が対応するセンスアンプの2組、合計8組のコモンIO線に選択的に接続される。つまり、各リードライト回路は、これらのコモンIO線に対応して設けられるそれぞれ2個、合計8個のライトアンプ218及びメインアンプ220を含み、これらのライトアンプ及びメインアンプが所定の組み合わせで動作状態とされることで、DRAMサブチップのビット構成が選択的に切り換えられるものとなる。

【0035】1. 2. 4. アドレス割り当て

DRAMサブチップには、前述のように、13ビットのXアドレス信号X0～X12及びYアドレス信号Y0～Y12が供給され、これらのアドレス信号に従ってサブチップのアドレス空間が選択的に指定される。この実施例において、サブアレイ0～3を構成する512本のワード線は、特に制限されないが、図6に示されるように、9ビットのXアドレス信号X0～X8に従って択一的に指定され、2048組の相補ビット線は、11ビットのYアドレス信号Y0～Y10に従って択一的に指定される。各マットを構成する4個のサブアレイ0～3は、2ビットのXアドレス信号X9及びX10に従って択一的に指定され、各メモリブロックを構成する4個のマット0～3は、各1ビットのXアドレス信号X11及びYアドレス信号Y11に従って択一的に指定される。さらに、4個のメモリブロック0～3は、各1ビットのXアドレス信号X12及びYアドレス信号Y12に従って択一的に指定される。

【0036】ところで、各サブアレイを構成する2048組の相補ビット線は、前述のように、隣接する2組が同時に選択状態とされるが、対応する2個のメインアンプがYアドレス信号Y0に従って選択されることから、実質的にはYアドレス信号Y0～Y8に従って択一的に

13

指定される結果となる。最上位ビットのXアドレス信号X12及びYアドレス信号Y12によるメモリブロック0～3の選択も、実際には対応するメインアンプを選択することによって実現される。

【0037】1. 3. DRAMパッケージのバリエーション

図7には、図3ないし図6の64メガDRAMサブチップをもとに構成される128メガDRAMパッケージの一実施例の製品一覧表が示されている。また、図8ないし図12には、図7の製品一覧表に記載される各DRAMパッケージの一実施例のブロック図がそれぞれ示されている。これらの図をもとに、2個の64メガDRAMサブチップによって構成しうる128メガDRAMパッケージの種類とそれぞれの構成及び概要を説明する。なお、図8～図12のブロック図では、アドレス信号と入力及び出力データに関する信号線のみが示される。

【0038】1. 3. 1. 構成しうる128メガDRAMパッケージの種類

この実施例の64メガDRAMサブチップは、前述のように、所定のボンディングが選択的に実施されることで、64メガ×1ビット又は16メガ×4ビットあるいは8メガ×8ビットの3種類のビット構成を採りうる。そして、同一のビット構成とされる2個のDRAMサブチップを組み合わせ、これらのサブチップを同時に又は選択的にアクセスすることで、図7に示されるような合計6種類の128メガDRAMパッケージを構成することができる。なお、64メガ×1ビットのDRAMサブチップ2個を組み合わせこれらのサブチップをチップ選択信号すなわちXアドレス信号X13に従って選択的にアクセスすることによって構成される128メガ×1ビットのDRAMパッケージは、前記図1の実施例に相当するため、説明を割愛する。

【0039】1. 3. 2. 各種DRAMパッケージの概要

(1) 64メガ×1ビットのDRAMサブチップ2個を同時アクセスする64メガ×2ビットのDRAMパッケージ

64メガ×1ビットのビット構成とされる2個の64メガDRAMサブチップA及びBを組み合わせ、これらのサブチップを同時アクセスすることによって、図8に示されるような64メガ×2ビットの128メガDRAMパッケージを構成できる。このバリエーションにおいて、サブチップA及びBのアドレス入力パッドA0～A12には、13ビットのXアドレス信号X0～X12及びYアドレス信号Y0～Y12が共通にかつ時分割的に供給され、データ入力パッドDin及びデータ出力パッドDoutは、DRAMパッケージの対応するデータ入力端子Din1及びDin2ならびにデータ出力端子Dout1及びDout2にそれぞれ結合される。これにより、サブチップA及びBは、常に同時に選択状態とさ

14

れ、記憶データの入力及び出力動作を1ビット単位でかつ並行して実行する。その結果、DRAMパッケージは、64メガ×2ビットのビット構成を持つものとされ、2ビットの記憶データを同時に入力又は出力する。このとき、サブチップA及びBに対するリフレッシュ動作は、同様に並行して実行されるため、DRAMパッケージとしてのリフレッシュサイクルも8キロサイクル/64msとなる。言うまでもなく、DRAMパッケージ全体としての消費電力は、64メガDRAMサブチップの消費電力の約2倍となる。

【0040】(2) 16メガ×4ビットのDRAMサブチップ2個を選択アクセスする32メガ×4ビットのDRAMパッケージ

16メガ×4ビットのビット構成とされる2個の64メガDRAMサブチップA及びBを組み合わせ、これらのサブチップを選択アクセスすることによって、図9に示されるような32メガ×4ビットの128メガDRAMパッケージを構成できる。このバリエーションにおいて、サブチップA及びBのアドレス入力パッドA0～A12には、13ビットのXアドレス信号X0～X12ならびに11ビットのYアドレス信号Y0～Y10が共通にかつ時分割的に供給され、さらにアドレス入力パッドA13を介して、チップ選択信号となるXアドレス信号X13が供給される。各サブチップのデータ入出力パッドDIO0～DIO3は、DRAMパッケージの対応するデータ入出力端子DIO0～DIO3にそれぞれ共通結合される。これにより、サブチップAは、Xアドレス信号X13がロウレベルとされるとき選択的に選択状態とされ、記憶データの入力又は出力動作を単独で実行する。また、サブチップBは、Xアドレス信号X13がハイレベルとされるとき選択的に選択状態とされ、記憶データの入力又は出力動作を単独で実行する。その結果、DRAMパッケージは、32メガ×4ビットのビット構成を持つものとされ、4ビットの記憶データを同時に入力又は出力する。このとき、サブチップA及びBに対するリフレッシュ動作は同様に選択的に実行されるため、DRAMパッケージとしてのリフレッシュサイクルは16キロサイクル/64msとなる。DRAMパッケージ全体としての消費電力は、64メガDRAMサブチップA及びBが選択的に活性化されることで、1個のサブチップの消費電力とほぼ同じ値となり、低消費電力化が図られる。

【0041】(3) 16メガ×4ビットのDRAMサブチップ2個を同時アクセスする16メガ×8ビットのDRAMパッケージ

16メガ×4ビットのビット構成とされる2個の64メガDRAMサブチップA及びBを組み合わせ、これらのサブチップを同時アクセスすることによって、図10に示されるような16メガ×8ビットの128メガDRAMパッケージを構成できる。このバリエーションにおい

15

て、サブチップA及びBのアドレス入力パッドA0～A12には、13ビットのXアドレス信号X0～X12ならびに11ビットのYアドレス信号Y0～Y10が共通にかつ時分割的に供給される。また、各サブチップのデータ入出力パッドDIO0～DIO3は、DRAMパッケージの対応するデータ入出力端子DIO0～DIO7にそれぞれ結合される。これにより、サブチップA及びBは、常に同時に選択状態とされ、4ビットの記憶データの入力又は出力動作を並行して実行する。その結果、DRAMパッケージは、16メガ×8ビットのビット構成を持つものとされ、8ビットの記憶データを同時に入力又は出力する。このとき、サブチップA及びBに対するリフレッシュ動作は同様に並行して実行されるため、DRAMパッケージとしてのリフレッシュサイクルも8キロサイクル/64msとなる。DRAMパッケージ全体としての消費電力は、64メガDRAMサブチップA及びBが同時に活性化されるため、これらのサブチップの消費電力の約2倍となる。

【0042】(4) 8メガ×8ビットのDRAMサブチップ2個を選択アクセスする16メガ×8ビットのDRAMパッケージ

8メガ×8ビットのビット構成とされる2個の64メガDRAMサブチップA及びBを組み合わせ、これらのサブチップを選択アクセスすることによって、図11に示されるような16メガ×8ビットの128メガDRAMパッケージを構成できる。このバリエーションにおいて、サブチップA及びBのアドレス入力パッドA0～A12には、13ビットのXアドレス信号X0～X12ならびに10ビットのYアドレス信号Y0～Y9が共通にかつ時分割的に供給され、さらにアドレス入力パッドA13を介して、チップ選択信号となるXアドレス信号X13が供給される。各サブチップのデータ入出力パッドDIO0～DIO7は、DRAMパッケージの対応するデータ入出力端子DIO0～DIO7にそれぞれ共通結合される。これにより、サブチップAは、Xアドレス信号X13がロウレベルとされるとき選択的に選択状態とされ、8ビットの記憶データの入力又は出力動作を単独で実行する。また、サブチップBは、Xアドレス信号X13がハイレベルとされるとき選択的に選択状態とされ、8ビットの記憶データの入力又は出力動作を単独で実行する。その結果、DRAMパッケージは、16メガ×8ビットのビット構成を持つものとされ、8ビットの記憶データを同時に入力又は出力する。このとき、DRAMパッケージとしてのリフレッシュサイクルは16キロサイクル/64msとなり、パッケージ全体としての消費電力は、サブチップ1個の消費電力とほぼ同じ値に低消費電力化される。

【0043】(5) 8メガ×8ビットのDRAMサブチップ2個を同時アクセスする8メガ×16ビットのDRAMパッケージ

16

8メガ×8ビットのビット構成とされる2個の64メガDRAMサブチップA及びBを組み合わせ、これらのサブチップを同時アクセスすることによって、図12に示されるような8メガ×16ビットの128メガDRAMパッケージを構成できる。このバリエーションにおいて、サブチップA及びBのアドレス入力パッドA0～A12には、13ビットのXアドレス信号X0～X12ならびに10ビットのYアドレス信号Y0～Y9が共通にかつ時分割的に供給される。また、各サブチップのデータ入出力パッドDIO0～DIO7は、DRAMパッケージの対応するデータ入出力端子DIO0～DIO7ならびにDIO8～DIO15にそれぞれ結合される。これにより、サブチップA及びBは、常に同時に選択状態とされ、8ビットの記憶データの入力又は出力動作を並行して実行する。その結果、DRAMパッケージは、8メガ×16ビットのビット構成を持つものとされ、16ビットの記憶データを同時に入力又は出力する。このとき、DRAMパッケージとしてのリフレッシュサイクルは8キロサイクル/64msとなり、全体としての消費電力は、各サブチップの消費電力の約2倍となる。

【0044】1. 4. DRAMパッケージのパッケージ形態と製造方法

図13には、この発明が適用された128メガDRAMパッケージの一実施例の断面斜視図が示され、図14には、その一実施例の平面図が示されている。また、図15には、図13及び図14のDRAMパッケージの一実施例の断面構造図が示され、図16ないし図18には、一実施例の切開平面図が示されている。さらに、図19ないし図23には、図13及び図14のDRAMパッケージの製造工程に関する一実施例の工程処理図が示され、図24には、そのリードフレームの一実施例の平面図が示されている。加えて、図25ないし図31には、この発明が適用されたDRAMパッケージのパッケージ形態に関する他のいくつかの実施例の断面構造図又は平面図が示されている。これらの図をもとに、この実施例のDRAMパッケージのパッケージ形態及び製造方法ならびにその特徴と、各種の変形例について説明する。なお、これらの実施例は、128メガDRAMパッケージの具体的な形状やサイズならびにボンディングパッドの配置順序等について、なんら制約を与えるものではない。

【0045】1. 4. 1. リード張合型パッケージの概要

この実施例の128メガDRAMパッケージは、前述のように、2個の64メガDRAMサブチップA(1A:第1の半導体チップ)及びB(1B:第1の半導体チップ)を基本構成とする。これらのサブチップは、図15に示されるように、配線手段となるリードフレーム3をはさんで対向して搭載される。リードフレーム3は、パッケージ内部においてインナーリード3Aとなり、その

17

外部において、外部端子すなわちアウターリード3Bとなる。つまり、この実施例において、配線手段となるリードフレーム3は、パッケージの外部端子と実質的に一体化された構造とされる。封止後におけるDRAMパッケージは、いわゆるSOJ型パッケージとされ、その外部寸法は、図14に示されるように、その短辺が300ミルとされその長辺が850ミルとされる。なお、図15は、図14の平面図のA-B断面構造図に相当し、図16ならびに図17は、図15の断面構造図のC-DならびにE-F切開平面図に相当する。また、図15を含む以下の断面構造図において、サブチップ1A及び1Bの断面部分が各サブチップの短辺方向の断面に相当することは言うまでもない。

【0046】図15において、サブチップ1Aは、例えばその両側を熱可塑性ポリイミドによりはさまれたポリイミドの絶縁フィルム4を介して、一方のリードフレーム(第1のリードフレーム)のインナーリード3Aaに接合される。このリードフレームは、切断されることなくDRAMパッケージの外部端子すなわちアウターリード3Bと一体化される。サブチップ1AのY軸の中央部に直線状に設けられる複数のボンディングパッドは、ボンディングワイヤ5を介して対応するインナーリード3Aaに結合される。これらのインナーリードは、図16に示されるように、通常の外部端子に対応して設けられる比較的短いインナーリード3A1と、外部端子VCC1及びVCC2間ならびに外部端子VSS1及びVSS2間に設けられる電源電圧及び接地電位供給用の比較的長いインナーリード3A2とに分けられる。このうち、インナーリード3A1は、入力又は出力用パッドに対するボンディングに供され、インナーリード3A2は、電源電圧及び接地電位の供給やモード設定用パッドF1～F3及びTCに対するボンディングに供される。つまり、この実施例のパッケージでは、電源電圧及び接地電位をインナーリード3A2を介して任意の位置で供給できるため、電源電圧又は接地電位供給線を短縮し、電源ノイズを抑制して、DRAMサブチップ1A及び1Bの動作を高速化できるものである。なお、ボンディングワイヤ5には、アルミニウムや金、銅又はこれらの金属ワイヤの表面を絶縁性樹脂で被覆した被覆ワイヤ等が用いられる。また、インナーリード及びパッド間の接合には、LOC型パッケージにおける従来手法が採られ、熱圧着に超音波振動を併用したボンディング法による接合が行われる。周知のように、LOC型パッケージでは、DRAMサブチップ1A及び1Bの形状による制限を受けることなくインナーリード3Aを自由に引き回せるため、相応してサブチップのサイズを大きくできるし、言い換えればパッケージサイズを小型化できる。

【0047】一方、サブチップ1Bは、同様に絶縁フィルム4を介して他方のリードフレーム(第2のリードフレーム)のインナーリード3Abに接合される。このリ

18

ードフレームは、特に制限されないが、サブチップ1A及び1Bの外縁に沿って切断され、さらにサブチップ1Aに対応するリードフレームの対応するインナーリード3Aaとそれぞれ接合される。このように、この実施例のパッケージ形態は、対向する二つのリードフレームを切断、接合するものであるため、リード張合型パッケージと称されるものである。なお、インナーリード3Abは、図18に示されるように、樹脂封止型パッケージ2の外縁にそって切断してもよい。前述のように、サブチップ1A及び1Bのボンディングパッドは、そのY軸すなわち長辺の中央部に直線状にかつ面対称に配置される。その結果、上記のようにサブチップ1A及び1Bが対向して配置されても、各サブチップ上におけるボンディングパッドの配置は一致するため、全く同一の製造工程で形成された同一の2個のサブチップをもとにDRAMパッケージを構成することができる。

【0048】リードフレームを介して接合されたサブチップ1A及び1Bは、モールド樹脂2によって封止される。このモールド樹脂2には、パッケージの低応力化を図る意味から、フェノール系硬化剤やシリコンゴム及びフィラーが添加されたエポキシ樹脂が用いられる。シリコンゴムは、エポキシ系樹脂の弾性率及び熱膨張率を低下させる作用がある。また、フィラーは、球形の酸化珪素粒で形成され、同様に熱膨張率を低下させる作用がある。パッケージの所定位置には、インデックスIDとなる切り込みが設けられる。この実施例において、サブチップ1Bに対応するリードフレームの切断部ならびにサブチップ1Aに対応するリードフレームとの接合部は、樹脂封止型パッケージすなわちモールド樹脂2の内部にくるように設計される。これにより、リードフレームの切断部及び接合部を保護し、DRAMパッケージの耐久性を高めることができるものである。

【0049】1. 4. 2. リード張合型パッケージの製造方法

この実施例の128メガDRAMパッケージは、次の処理工程を経て製造される。すなわち、

(1) ペレット付け

サブチップ1A及び1Bは、絶縁フィルム4を介して対応するインナーリード3Aa又は3Abと接合される。絶縁フィルム4は、図19に示されるように、ポリイミドの両側を熱可塑性ポリイミドの接着剤によってサンドイッチした3層構造の絶縁フィルムである。絶縁フィルム4は、予めヒータープレスにより加温・加圧されてインナーリード3Aa又は3Abと接合された後、さらにヒータープレス20によってサブチップ1A又は1Bと接合される。

【0050】(2) ワイヤボンディング

次に、図20に示されるように、サブチップ1A及び1BのY軸すなわち長辺方向の中央部に設けられたボンディングパッドとインナーリード3Aa及び3Abとの間

19

のボンディング処理が行われる。インナーリード3Aa及び3Abは、予め対応するサブチップから遠ざかる方向に折り曲げられる。ボンディング終了後、インナーリード3Abに接合されたサブチップ1Bは、インナーリード3Aaに接合されたサブチップ1Aの上に反転して重ねられる。これにより、2個のサブチップ1A及び1Bは、リードフレームをはさんで対向する形となり、各インナーリードの対応するリードは、互いに接触する。

【0051】(3) リード切断及び接合

その対応するリードが互いに接触すべくインナーリード3Aaの上に重ねられたインナーリード3Abは、図21に示されるように、レーザ装置21から発生されるYAGレーザビーム22により、各サブチップの外縁位置で切断され、同時に溶接接続される。これにより、インナーリード3Aa及び3Abの対応するリードは、それぞれ電氣的に結合された状態となる。

【0052】(4) 封止

リードフレームをはさんで対向して張合されたサブチップ1A及び1Bは、図22に示されるように、モールド樹脂2により封止される。このとき、インナーリード3Abの切断部ならびにインナーリード3Aaとの接合部は、モールド樹脂2すなわちレジン内に保護される。その結果、接合部を介する水分等の浸入を防止し、DRAMパッケージの耐久性を高めることができる。

【0053】(5) リード成形

モールド樹脂2によって封止されたパッケージは、図23に示されるように、サブチップ1Aに対応するリードフレームのアウトーリード3Bが所定のプレス装置によって成形され、SOJ構造のDRAMパッケージ1が形成される。

【0054】1. 4. 3. リードフレーム及び絶縁フィルム

この実施例のリード張合型パッケージに用いられるリードフレームは、図24に示されるように、隣接するインナーリード3A及びアウトーリード3B間の距離がほぼ等しくなるように設計される。これにより、各リード間の寄生容量が均一化され、リード間で誘発されるノイズ量が抑制されるとともに、相応してDRAMパッケージとしての信号伝達時間が縮小される。

【0055】一方、サブチップ1A及び1Bと各インナーリード3Aとの間の接合に供される絶縁フィルム4は、図24に斜線で示されるように、インナーリード3A1にそって櫛形に切断される。絶縁フィルムの熱膨張係数は、サブチップを形成する半導体基板やリードフレームのそれと比較的大きな隔たりを持つ。このため、絶縁フィルムの実質的な接合面積が大きな場合には、長い期間にわたる温度変化にともなう伸縮によって絶縁フィルムの接合部が剥離するおそれがある。上記のように、絶縁フィルム4をインナーリード3A1にそって櫛形に切断し、その実質的な接合面積を削減することで、絶縁

20

フィルムの剥離を抑制し、DRAMパッケージの耐久性及び信頼性を高めることができるものである。

【0056】1. 4. 4. その他のパッケージ形態

128メガDRAMパッケージのパッケージ形態は、図25ないし図31に示されるようないくつかの変形例を採ることができる。すなわち、図25では、ポリイミド系樹脂からなる絶縁フィルム4でコーティングされたリードフレーム3A1の上面に、サブチップ1Bがその裏面をリードフレーム側に向けるべく接合され、その下面には、サブチップ1Aがその表面をリードフレーム側に向けるべく接合される。このとき、サブチップ1Bとインナーリード3A1ならびにインナーリード3A1とサブチップ1Aは、それぞれワイヤボンディングに要する所定の距離だけ互いにずらされる。その後、インナーリード3A1とサブチップ1Aとの間がLOC技術によりワイヤボンディングされ、インナーリード3A1とサブチップ1Bとの間が通常方法によりワイヤボンディングされる。

【0057】一方、図26に示されるように、下側のサブチップ1Aとインナーリード3A1とがハンダバンプ10によってボンディングされる場合には、前述のように、サブチップ1A及び1Bは実質的にずらす必要がない。

【0058】次に、前記リード張合型パッケージにおいて、サブチップ1A及び1Bに対応する二つのリードフレームは、図27のように、切断せずにそのままアウトーリード3Bまで延長することも可能である。この場合、DRAMパッケージの耐久性を保持するためには、リードフレームの接合部を介して水分等が浸入するのを防ぐ対策が必要となる。

【0059】図28のように、2個のサブチップ1A及び1Bを同一平面上に並べて搭載しうるリードフレームを実現できる場合には、これらのサブチップの接合及びワイヤボンディングが終了した時点で、リードフレームを折り曲げ線にそって折り曲げ、図29に示されるようなDRAMパッケージを形成することができる。この場合、サブチップ1A及び1Bの背面をポリイミド系樹脂からなる絶縁フィルム4によって接着固定した後、モールド樹脂2によって封止すればよい。

【0060】さらに、サブチップ1A及び1Bは、図30に示されるように、ハンダバンプ6を介して配線基板となるリードフレームに結合することができる。また、図31に示されるように、リード張合パッケージ方式により接合された2対のサブチップ1A及び1Bならびに1C及び1Dを、その表面に直角をなす方向に積み重ね、リードフレームの対応するリードをそれぞれ共通結合することによって、4個のサブチップからなるDRAMパッケージを実現することも可能である。この場合も、DRAMパッケージの耐久性を高めるため、サブチップ1Cに対応するリードフレームの切断部ならびにそ

21

のサブチップ1Aに対応するリードフレームとの接合部をモールド樹脂2の内部にもってこることが望ましい。

【0061】1. 5. DRAMサブチップのボンディングオプション

図32には、この発明が適用された64メガDRAMサブチップのボンディングオプションに関する一実施例の一覧表が示されている。また、図33ないし図38には、前記図1ならびに図8ないし図12の128メガDRAMパッケージの一実施例のパッド接続図がそれぞれ示されている。これらの図をもとにこの実施例のDRAMサブチップのボンディングオプションとDRAMパッケージのパッド接続について説明する。なお、図33～図38のパッド接続図は、各パッド及びリード間の接続関係を説明するためのものであって、パッド及びリードの具体的な配列やサイズに制約を与えるものではない。

【0062】この実施例の64メガDRAMサブチップには、そのビット構成やチップ選択条件を設定するための4個のボンディングパッドF1～F3ならびにTCが用意される。このうち、パッドF1及びF2は、図32から明らかなように、DRAMサブチップのビット構成を設定するために用いられる。また、パッドTCは、DRAMサブチップを選択アクセスするか同時アクセスするかを設定し、パッドF3は、DRAMサブチップが選択アクセスされる場合にチップ選択信号となるXアドレス信号X13のいずれの論理レベルで選択状態とするかを設定するために用いられる。なお、パッドF1～F3ならびにTCは、サブチップの初期の状態においていずれのリードにも接続されない非接続状態NC(No Connect)とされ、必要に応じて選択的に電源電圧供給用のインナーリード3A2すなわち電源電圧供給用

リードVCCとワイヤボンディングされる。

【0063】すなわち、パッドF1及びF2がともに電源電圧供給用リードVCCに結合されるとき、DRAMサブチップは、64メガ×1ビットのビット構成とされ、データ入力パッドDin又はデータ出力パッドDoutを介して記憶データを1ビット単位で入力又は出力する。このとき、図33に示されるように、パッドTCが電源電圧供給用リードVCCに結合されると、サブチップはチップ選択信号すなわちXアドレス信号X13に従って選択的に活性化されるものとなり、前記図1のDRAMパッケージを構成するサブチップA(1A)及びB(1B)に対応するものとなる。そして、パッドF3が電源電圧供給用リードVCCに結合されるとき、サブチップはXアドレス信号X13がロウレベルLであることを条件に選択的に選択状態とされ、パッドF3が非接続状態NCとされるとき、Xアドレス信号X13がハイレベルHであることを条件に選択的に選択状態とされる。サブチップA及びBのデータ入力パッドDinは、DRAMパッケージのデータ入力端子Dinに対応するリードに共通結合され、データ出力パッドDoutは、

22

データ出力端子Doutに対応するリードに共通結合される。

【0064】一方、図34に示されるように、パッドF1及びF2がともに電源電圧供給用リードVCCに結合されしかもパッドTCが非接続状態NCとされるとき、サブチップは、64メガ×1ビットのビット構成とされかつXアドレス信号X13の論理レベルに関係なく常時選択状態とされるものとなって、前記図8のDRAMパッケージを構成するサブチップA及びBに対応するものとなる。このとき、サブチップAのデータ入力パッドDin及びデータ出力パッドDoutは、DRAMパッケージのデータ入力端子Din0及びデータ出力端子Dout0に対応するリードにそれぞれ結合され、サブチップBのデータ入力パッドDin及びデータ出力パッドDoutは、データ入力端子Din1及びデータ出力端子Dout1に対応するリードにそれぞれ結合される。

【0065】次に、パッドF1が電源電圧供給用リードVCCに結合されパッドF2が非接続状態NCとされるとき、DRAMサブチップは、16メガ×4ビットのビット構成とされ、データ入出力パッドDIO0～DIO3を介して記憶データを4ビット単位で入力又は出力する。このとき、図35に示されるように、パッドTCが電源電圧供給用リードVCCに結合されると、サブチップは、Xアドレス信号X13に従って選択的に活性化されるものとなり、前記図9のDRAMパッケージを構成するサブチップA及びBに対応するものとなる。そして、さらにパッドF3が電源電圧供給用リードVCCに結合されるとき、サブチップはXアドレス信号X13がロウレベルLであることを条件に選択的に選択状態とされ、パッドF3が非接続状態NCとされるとき、Xアドレス信号X13がハイレベルHであることを条件に選択的に選択状態とされる。サブチップA及びBのデータ入出力パッドDIO0～DIO3は、DRAMパッケージのデータ入出力端子DIO0～DIO3に対応するリードにそれぞれ共通結合される。

【0066】一方、図36に示されるように、パッドF1が電源電圧供給用リードVCCに結合されパッドF2が非接続状態NCとされるとき、サブチップは、16メガ×4ビットのビット構成とされかつ常時選択状態とされるものとなって、前記図10のDRAMパッケージを構成するサブチップA及びBに対応するものとなる。このとき、サブチップAのデータ入出力パッドDIO0～DIO3は、DRAMパッケージのデータ入出力端子DIO0～DIO3に対応するリードにそれぞれ結合され、サブチップBのデータ入出力パッドDIO0～DIO3は、データ入出力端子DIO4～DIO7に対応するリードにそれぞれ結合される。

【0067】さらに、パッドF1及びF2がともに非接続状態NCとされるとき、DRAMサブチップは、8メガ

23

ガ×8ビットのビット構成とされ、データ入出力パッドDIO0~DIO7を介して記憶データを8ビット単位で入力又は出力する。このとき、図37に示されるように、パッドTCが電源電圧供給用リードVCCに結合されると、サブチップは、Xアドレス信号X13に従って選択的に活性化され、前記図11のDRAMパッケージを構成するサブチップA及びBに対応するものとなる。そして、さらにパッドF3が電源電圧供給用リードVCCに結合されると、サブチップはXアドレス信号X13がロウレベルLであることを条件に選択状態とされ、パッドF3が非接続状態NCとされると、Xアドレス信号X13がハイレベルHであることを条件に選択状態とされる。サブチップA及びBのデータ入出力パッドDIO0~DIO7は、DRAMパッケージのデータ入出力端子DIO0~DIO7に対応するリードにそれぞれ共通結合される。

【0068】一方、図38に示されるように、パッドF1及びF2ならびにTCがともに非接続状態NCとされると、サブチップは、8メガ×8ビットのビット構成とされかつ常時選択状態とされるものとなって、前記図12のDRAMパッケージを構成するサブチップA及びBに対応するものとなる。このとき、サブチップAのデータ入出力パッドDIO0~DIO7は、DRAMパッケージのデータ入出力端子DIO0~DIO7に対応するリードにそれぞれ結合され、サブチップBのデータ入出力パッドDIO0~DIO7は、データ入出力端子DIO8~DIO15に対応するリードにそれぞれ結合される。

【0069】1. 6. チップ選択の具体的方法

図39には、この発明が適用された64メガDRAMサブチップに含まれるXアドレスバッファ205の一実施例の回路図が示されている。また、図40ないし図44には、DRAMパッケージのチップ選択方式の他の実施例のブロック図及びタイミング図がそれぞれ示されている。これらの図をもとに、この実施例の128メガDRAMパッケージのチップ選択の具体的方法とチップ選択方式の他の実施例について説明する。なお、以下の回路図において、そのチャンネル（バックゲート）部に矢印が付されるMOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）はPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。

【0070】1. 6. 1. 選択活性化の方法とXアドレスバッファの構成

この実施例の64メガDRAMサブチップのチップ選択は、前述のように、実質的にXアドレスバッファ205から出力される内部制御信号CSの論理レベルに従って選択的に決定され、この内部制御信号CSの論理レベルは、Xアドレス信号X13の論理レベルとボンディング

24

パッドTC及びF3に関するボンディングが実行されるかどうかに従って選択的に設定される。

【0071】パッドTCは、図39に示されるように、モード設定部223の対応する入力回路IC3に結合され、その出力信号すなわち内部制御信号TCDがパッドTCのボンディング状態に応じて選択的にハイレベル又はロウレベルとされる。すなわち、パッドTCが非接続状態NCとされるとき、内部制御信号TCDはロウレベルとされ、パッドTCが電源電圧供給用リードVCCに結合されるとき、内部制御信号TCDはハイレベルとされる。同様に、パッドF3は、モード設定部223の対応する入力回路IC2に結合され、その出力信号すなわち内部制御信号CSAは、パッドF3が非接続状態NCとされるときロウレベルとされ、電源電圧供給用リードVCCに結合されるときハイレベルとされる。これらの内部制御信号TCD及びCSAは、Xアドレスバッファ205に供給される。

【0072】Xアドレスバッファ205は、図39に示されるように、その入力端子がアドレス入力パッドA13に結合される入力回路IC1を含む。この入力回路IC1は、ロウアドレスストロブ信号RASBがハイレベルとされ内部制御信号RAS0がハイレベルとされることで選択的に伝達状態とされ、アドレス入力パッドA13を介して時分割的に供給されるチップ選択信号すなわちXアドレス信号X13を取り込む。入力回路IC1の出力信号は、内部信号X13としてセクタSEL1の一方の入力端子に供給されるとともに、インバータによって反転された後、反転内部信号X13BとしてセクタSEL1の他方の入力端子に供給される。セクタSEL1の第1の制御端子には、モード設定部223から上記内部制御信号CSAが供給され、その第2の制御端子には、ノアゲートNO1の出力信号すなわち内部信号RCSが供給される。

【0073】ここで、ノアゲートNO1の一方の入力端子には、カラムアドレスストロブ信号CASBに従って形成される内部制御信号CAS1が供給され、その他方の入力端子には、ナンドゲートNA1の出力信号が供給される。このナンドゲートNA1の一方の入力端子には、ロウアドレスストロブ信号RASBをもとに形成される反転内部制御信号RAS0B及びRAS1Bがそれぞれ供給される。これにより、ナンドゲートNA1の出力信号は、反転内部制御信号RAS0B又はRAS1Bのいずれかがロウレベルとされるとき選択的にハイレベルとされ、ノアゲートNO1の出力信号すなわち内部信号RCSは、ナンドゲートNA1の出力信号がハイレベルとされあるいは内部制御信号CAS1がハイレベルとされるとき、選択的にロウレベルとされる。つまり、内部制御信号RCSは、DRAMサブチップが非選択状態とされる間ならびにDRAMサブチップが選択状態とされてから反転内部制御信号RAS0B又はRAS1B

25

がロウレベルとされあるいは内部制御信号CAS1がハイレベルとされるまでの間、ハイレベルとされ、ほぼDRAMサブチップが選択状態とされる間、ロウレベルとされる。

【0074】内部信号RCSがハイレベルとされるとき、セクタSEL1は伝達状態とされ、内部信号RCSがロウレベルとされると非伝達状態とされる。この伝達状態において、セクタSEL1は、内部制御信号CSAがロウレベルであると、反転内部信号X13Bをさらに反転して後段のラッチ回路LT1に伝達し、内部制御信号CSAがハイレベルであると、内部信号X13Bを反転して伝達する。つまり、セクタSEL1は、パッドF3が非接続状態NCとされると、反転内部信号X13BすなわちXアドレス信号X13の反転信号をさらに反転して、言い換えるならばXアドレス信号X13を反転せずにそのままラッチ回路LT1に伝達し、パッドF3が電源電圧供給用リードVCCにボンディングされると、内部信号X13すなわちXアドレス信号X13を反転してラッチ回路LT1に伝達する。セクタSEL1によるXアドレス信号X13の伝達動作は、DRAMサブチップが選択状態とされてから所定の時間が経過し内部信号RCSがロウレベルとされることによって停止される。

【0075】ラッチ回路LT1は、上記ナンドゲートNA1の出力信号の反転信号すなわち反転内部信号RSBに従って、選択的にラッチ形態とされる。すなわち、ラッチ回路LT1は、反転内部信号RSBがロウレベルとされるとき、言い換えるならばDRAMサブチップが選択状態とされてから所定の時間が経過した時点で選択的にラッチ形態とされ、セクタSEL1を介して伝達される内部信号X13又は反転内部信号X13Bを保持する。ラッチ回路LT1の出力信号は、ナンドゲートNA2の一方の入力端子に供給される。このナンドゲートNA2の他方の入力端子には、上記ナンドゲートNA1の出力信号すなわち内部信号RSが供給される。ナンドゲートNA2の出力信号は、その制御端子に上記内部制御信号TCDを受けるトランスファゲートTG1ならびに1個のインバータを介して出力され、内部制御信号CSとなる。なお、トランスファゲートTG1の出力端子は、そのゲートに内部制御信号TCDの反転信号を受けるNチャンネルMOSFETを介して、回路の接地電位に結合される。

【0076】これらのことから、ラッチ回路LT1によって保持される内部信号X13又は反転内部信号X13Bは、内部信号RS及び内部制御信号TCDがハイレベルとされることを条件に、言い換えるならばロウアドレスストロブ信号RASBがロウレベルとされかつパッドTCが電源電圧供給用リードVCCにボンディングされることを条件にトランスファゲートTG1を伝達され、内部制御信号CSとなる。つまり、内部制御信号C

26

Sは、ロウアドレスストロブ信号RASBがハイレベルとされる間、無条件にロウレベルとされ、ロウアドレスストロブ信号RASBがロウレベルとされてから所定の時間が経過すると、パッドTCが電源電圧供給用リードVCCにボンディングされていることを条件に、Xアドレス信号X13に従って選択的にハイレベル又はロウレベルとされる。すなわち、内部制御信号CSは、パッドF3が非接続状態NCとされる場合、反転内部信号X13Bがロウレベルであることを条件に、言い換えるならばXアドレス信号X13がハイレベルであることを条件に選択的にハイレベルとされ、パッドF3が電源電圧供給用リードVCCにボンディングされる場合には、内部信号X13がロウレベルであることを条件に、言い換えるならばXアドレス信号X13がロウレベルであることを条件に選択的にハイレベルとされる。その結果、内部制御信号CSは、図32の条件に従って形成され、DRAMパッケージを構成する一対のサブチップの選択条件を決定しうるものとなる。

【0077】ところで、この実施例のDRAMサブチップにおいて、内部制御信号CSは、前述のように、Xアドレス信号X13に従って選択的に形成され、このXアドレス信号X13は、ロウアドレスストロブ信号RASBの立ち下がり同期して比較的早いタイミングで供給される。しかるに、内部制御信号CSは、図4に②で示されるように、RAS2系クロック発生部210による部制御信号XDGの形成を選択的に実行させ、Xアドレスデコード203によるワード線の選択動作を選択的に実行させて、各サブチップを選択的に活性化するために利用することができる。Xアドレス信号X13の入力タイミングにさらに余裕がある場合、図4に①で示されるように、内部制御信号CSに従ってXプリデコード204を選択的に動作状態とし、非活性状態とされるサブチップの消費電力をさらに10%程度削減することも可能である。一方、Xアドレス信号X13の入力タイミングに余裕がない場合、あるいはチップ選択信号がカラムアドレス信号すなわちYアドレス信号の一部として供給される場合には、DRAMパッケージを構成する2個のサブチップを同時に活性化しなくてはならず、図4に③で示されるように、ライトアンプ218による記憶データの入力動作あるいはデータ出力バッファ221による出力動作を選択的に実行できるに過ぎない。

【0078】1. 6. 2. その他のチップ選択方式
前記実施例の128メガDRAMパッケージでは、一対のDRAMサブチップを選択アクセスするためのチップ選択信号がXアドレス信号X13として供給され、アドレス入力端子の数が実質的に1本増設される形となる。これに対処するため、図40及び図42に例示されるように、Xアドレス信号及びYアドレス信号のビット数がチップ選択信号を含めて同一のビット数となるように設定することで、DRAMパッケージの外部端子数を最適

27

化することが考えられる。この場合、一般的に言って、DRAMパッケージは、2の i 乗のロウアドレスと2の $i-k$ 乗のカラムアドレスあるいは2の $i-k$ 乗のロウアドレスと2の i 乗のカラムアドレスからなるアドレス空間を持つ2の k 乗個のサブチップにより構成することが必要となり、各サブチップは、ロウアドレス信号とカラムアドレス信号との差分 k ビットに従って選択的にアクセスされるものとなる。

【0079】すなわち、図40の実施例では、DRAMパッケージは、そのアドレス空間が $i-1$ ビットすなわち12ビットのXアドレス信号 $X0 \sim X11$ と i ビットすなわち13ビットのYアドレス信号 $Y0 \sim Y12$ とによって選択的に指定される2の1乗個すなわち2個の32メガDRAMサブチップA及びBからなり、チップ選択信号は、最上位ビットのXアドレス信号 $X12$ としてDRAMパッケージに供給される。このとき、Xアドレス信号 $X0 \sim X11$ ならびにチップ選択信号となるXアドレス信号 $X12$ は、図41に示されるように、ロウアドレスストロブ信号 $RASB$ の立ち下がりに同期して供給され、Yアドレス信号 $Y0 \sim Y12$ はカラムアドレスストロブ信号 $CASB$ の立ち下がりに同期して供給される。しかるに、内部制御信号 CS は、比較的早いタイミングで選択的に形成できるため、サブチップA及びBを内部制御信号 CS に従って選択的に活性化することが可能となる。その結果、DRAMパッケージとして外部端子数を最適化しつつ、その低消費電力化を図ることができるものである。

【0080】一方、図42の実施例では、DRAMパッケージは、そのアドレス空間が i ビットすなわち13ビットのXアドレス信号 $X0 \sim X12$ と $i-1$ ビットすなわち12ビットのYアドレス信号 $Y0 \sim Y11$ とによって選択的に指定される2の1乗個すなわち2個の32メガDRAMサブチップA及びBからなり、チップ選択信号は、最上位ビットのYアドレス信号 $Y12$ としてDRAMパッケージに供給される。このとき、Xアドレス信号 $X0 \sim X12$ は、図43及び図44に示されるように、ロウアドレスストロブ信号 $RASB$ の立ち下がりに同期して供給され、Yアドレス信号 $Y0 \sim Y11$ ならびにチップ選択信号となるYアドレス信号 $Y12$ はカラムアドレスストロブ信号 $CASB$ の立ち下がりに同期して供給される。しかるに、内部制御信号 CS は、比較的遅いタイミングで選択的に形成される結果となり、サブチップA及びBを内部制御信号 CS に従って選択的に活性化することはできない。この場合、ライトアンプ218に供給される内部制御信号 WP あるいはデータ出力バッファ221に供給される内部制御信号 DOC をチップ選択信号すなわちYアドレス信号 $Y12$ に従って選択的に形成し、記憶データの入力又は出力動作を選択的に実行することができる。

【0081】1. 7. 評価

28

以上のように、この実施例のDRAMパッケージは、いわゆるダブルチップパッケージ方式を採り、配線手段となるリードフレームをはさんで対向して搭載される一対のDRAMサブチップをその基本構成とする。これらのサブチップは、チップ選択信号として供給される最上位ビットのXアドレス信号又はYアドレス信号に従って選択的に活性化されあるいは記憶データの入力又は出力動作を選択的に実行する。これらの結果、

(1) パッケージの放熱特性や製品歩留まりを犠牲にすることなく、同一サイズの複数のサブチップを搭載する効果的なチップ搭載方式を実現できる。

(2) パッケージサイズの大型化を抑制しつつ、DRAMパッケージ等の大容量化及び低消費電力化を推進できる。

(3) ほぼ同じパッケージサイズで、1個のDRAMチップからなるパッケージの複数倍の記憶容量を有するDRAMパッケージ等を実現し、DRAMチップ等における記憶容量の限界を拡大できる。

(4) 図45に示されるように、パッケージを1個の半導体チップで構成する場合には、信号は、抵抗 R と寄生容量 C とによって決まる比較的大きな遅延時間をもって伝達されるが、図46に例示されるように、パッケージを k 個のサブチップにより構成しこれらのサブチップを選択的に活性化する場合には、抵抗 R 及び寄生容量 C を実質的に k 分の1に削減できるため、パッケージとしての遅延時間を実質的に k の2乗分の1に削減し、その動作を高速化することができる。

(5) 対をなすサブチップのボンディングパッドを、半導体基板面のX軸又はY軸の中央部に直線状に配置することで、容易にその面对称性を実現し、従来のLOC技術によるボンディングを利用することができる。

(6) 対をなすサブチップを対応するリードフレームに接合した後、これらのサブチップ及びリードフレームを張合することで、従来のワイヤボンディング技術を用いて容易にダブルチップパッケージ方式を実現することができる。

(7) リードフレームを張合する場合に、一方のリードフレームを切断して接合し、その切断部ならびに接合部を封止用樹脂の内部に保護することで、水分等の浸入を防止し、パッケージの耐久性を高めることができる。

(8) それぞれリードフレームを介して張合された複数対のサブチップを、その表面に直角をなす方向に積み上げ、各リードフレームの対応するリードをそれぞれ共通結合することで、複数対のサブチップを容易に積層化し、パッケージの大容量化を推進することができる。

(9) メモリパッケージを、それぞれのアドレス空間が $i-k$ ビットのロウアドレス信号と i ビットのカラムアドレス信号あるいは i ビットのロウアドレス信号と $i-k$ ビットのカラムアドレス信号に従って選択的に指定される2の k 乗個のメモリサブチップによって構成し、こ

29

これらのサブチップをロウアドレス信号及びカラムアドレス信号の差分kビットに従って選択的に活性化することで、複数のサブチップからなるメモリパッケージの低消費電力化を推進しつつ、その外部端子数を最適化できる。

(10) サブチップと対応するリードフレームとを接合するための絶縁フィルムを、リードフレームの各リードにそって櫛形に切断することで、その実質的な接合面積を削減し、温度変化にともなう絶縁フィルムの剥離を防止できる。等の効果が得られる。その結果、DRAMパッケージ等を基本構成とするメモリシステム等の実装効率を高め、その低コスト化を推進できるものである。

【0082】2. パーシャルチップによる64メガDRAMパッケージ

前記128メガDRAMパッケージでは、そのすべてのアドレス空間が正常に機能しうるいわゆるフルチップを組み合わせて、パッケージとしての大容量化及び低消費電力化を推進する方法といくつかの実施例について述べたが、この発明によるダブルチップパッケージ方式は、そのアドレス空間の一部が正常に機能しうるいわゆるパーシャルチップを組み合わせてDRAMパッケージ等を構成し、パーシャルチップを救済する手段として用いることもできる。

【0083】2. 2. 選択アクセスされる2個の64メガDRAMパーシャルチップによる64メガDRAMパッケージ

図47には、この発明が適用された64メガDRAMパッケージの第1の実施例のブロック図が示されている。また、図48及び図49には、図47のDRAMパッケージに含まれるXアドレスバッファ205及びモード設定部223の一実施例の部分的な回路図が示され、図53には、図47のDRAMパッケージを構成する64メガDRAMパーシャルチップのボンディングオプションに関する一実施例の接続一覧表が示されている。これらの図をもとに、この実施例のDRAMパッケージの概要とチップ選択の具体的な方法について説明する。なお、以下の図において、DRAMパッケージを構成する64メガDRAMパーシャルチップは、前記128メガDRAMパッケージを構成する64メガDRAMサブチップを基本的に踏襲する。また、DRAMパッケージを構成する一対のパーシャルチップは、前記128メガDRAMパッケージの場合と同様に、ダブルチップパッケージ方式によって搭載される。さらに、この章のブロック図では、各パーシャルチップの正常でない部分が、斜線を付して表される。

【0084】2. 1. 1. ブロック構成

この実施例の64メガDRAMパッケージは、図47に示されるように、それぞれのロウアドレス空間の二分の1が正常に機能しうる2個の64メガDRAMパーシャルチップA及びBを基本として構成される。この実施例

30

において、各パーシャルチップの正常に機能しうる部分は、特に制限されないが、ロウアドレス空間の低アドレス側すなわちXアドレス信号X12がロウレベルとされることによって指定される部分である。パーシャルチップA及びBのアドレス入力パッドA0~A13は、DRAMパッケージの対応するアドレス入力端子A0~A13にそれぞれ共通結合され、そのデータ入力パッドDin及びデータ出力パッドDoutは、DRAMパッケージのデータ入力端子Din及びデータ出力端子Doutにそれぞれ共通結合される。

【0085】パーシャルチップA及びBには、前記実施例の64メガDRAMサブチップのモード設定用パッドに加えて、その正常に機能しうる部分を選択的に指定するための3個のモード設定用パッドPTAならびにPTX及びPTYが設けられる。このうち、パッドPTX及びPTYは、図53に示されるように、通常、非接続状態NCとされ、パーシャルチップのロウアドレス空間又はカラムアドレス空間が部分的に正常に機能する場合において、それぞれ選択的に電源電圧供給用リードVCCにボンディングされる。一方、パッドPTAは、ロウアドレス空間又はカラムアドレス空間の低アドレス側すなわちXアドレス信号X12又はYアドレス信号Y12がロウレベルとされることによって指定される部分が正常とされる場合に、電源電圧供給用リードVCCにボンディングされ、高アドレス側すなわちXアドレス信号X12又はYアドレス信号Y12がハイレベルとされることによって指定される部分が正常とされる場合に、非接続状態NCとされる。なお、ボンディングパッドTC及びF3は、前記128メガDRAMパッケージの場合と同様に、パーシャルチップA及びBを選択的に活性化しあるいはそのチップ選択条件を選択的に設定するために用いられる。

【0086】図47において、パーシャルチップA及びBのパッドPTA及びPTXは、ともに電源電圧供給用リードVCCにボンディングされ、パッドPTYは非接続状態NCとされる。このため、各パーシャルチップでは、後述するように、内部アドレス信号BX12が強制的にロウレベルとされ、正常に機能しうる低アドレス側のロウアドレス空間が定常的に指定される。一方、パーシャルチップA及びBでは、パッドTCがともに電源電圧供給用リードVCCにボンディングされ、パッドF3は、パーシャルチップA側で電源電圧供給用リードVCCに結合され、パーシャルチップB側で非接続状態NCとされる。これにより、パーシャルチップAの内部制御信号CSは、Xアドレス信号X12がロウレベルであることを条件にハイレベルとされ、パーシャルチップBの内部制御信号CSは、Xアドレス信号X12がハイレベルであることを条件にハイレベルとされる。

【0087】これらのことから、パーシャルチップA及びBは、その記憶容量が32メガビットに半減したこと

31

を除き、前記図1の128メガDRAMパッケージを構成する64メガDRAMサブチップA及びBと実質的に同様に機能する。その結果、図47のDRAMパッケージは、いわゆる64メガDRAMパッケージとして機能するものとなる。このとき、DRAMパッケージは、図47から明らかなように、そのすべてのアドレス空間が正常に機能しうる1個の64メガDRAMチップからなる64メガDRAMパッケージと全く同一のインタフェースを持つものとされる。また、そのリフレッシュサイクルは、同様に8キロサイクル/64msとされ、その並列テストも、同様に実施することができる。このことは、2個のパーシャルチップからなるこのDRAMパッケージが、1個のフルチップからなる64メガDRAMパッケージに置き換え可能なことを示すものであり、このダブルチップパッケージ方式が、実質的に64メガDRAMチップの製品歩留まりを高める効果を持つことを示すものである。

【0088】2. 1. 2. 選択活性化の方法とXアドレスバッファの構成

図48において、各パーシャルチップのパッドF3、TC、PTA及びPTXは、モード設定部223の対応する入力回路IC2ないしIC5の入力端子にそれぞれ結合され、その出力信号すなわち内部制御信号CSA、TCD、PAD及びPXDをそれぞれ選択的にハイレベル又はロウレベルとする。すなわち、内部制御信号CSA、TCD、PAD及びPXDは、対応するパッドF3、TC、PTA及びPTXが非接続状態NCとされるときそれぞれロウレベルとされ、対応するパッドが電源電圧供給用リードVCCにボンディングされるときそれぞれハイレベルとされる。内部制御信号CSA、TCD、PAD及びPXDは、Xアドレスバッファ205に供給される。

【0089】一方、アドレス入力パッドA12は、図48に示されるように、Xアドレスバッファ205の入力回路IC6の入力端子に結合される。入力回路IC6は、内部制御信号RAS0がハイレベルとされることで選択的に伝達状態とされ、アドレス入力パッドA12を介して時分割的に供給されるXアドレス信号X12をセクタSEL2の一方の入力端子に伝達する。セクタSEL2の他方の入力端子は、インバータを介してその出力端子に結合され、ラッチ回路を構成する。また、セクタSEL2の制御端子には、内部制御信号XLが供給される。これにより、セクタSEL2は、内部制御信号XLがロウレベルとされることを条件に伝達状態とされ、内部制御信号XLがハイレベルとされることでラッチ形態とされる。このラッチ回路の反転出力信号は、インバータによって反転された後、内部信号X12とされ、その非反転出力信号は、同様にインバータによって反転された後、反転内部信号X12Bとされる。

【0090】セクタSEL2から出力される反転内部

32

信号X12Bは、トランスファゲートTG2を介してナンドゲートNA5の一方の入力端子に供給され、内部信号X12は、後述するセクタSEL3の他方の入力端子に供給されるとともに、トランスファゲートTG3を介してナンドゲートNA6の一方の入力端子に供給される。トランスファゲートTG2及びTG3の制御端子には、内部制御信号PXDが供給される。また、ナンドゲートNA5及びNA6の他方の入力端子には、内部制御信号AGが共通に供給される。これにより、内部信号X12及び反転内部信号X12Bは、内部制御信号PXDがロウレベルとされることを条件に、対応するナンドゲートNA5及びNA6の一方の入力端子に伝達され、さらに内部制御信号AGがハイレベルとされることを条件に、反転内部アドレス信号BX12B又は内部アドレス信号BX12となる。

【0091】ナンドゲートNA5及びNA6の一方の入力端子と回路の電源電圧及び接地電位との間には、ナンドゲートNA3又はNA4の出力信号又はその反転信号を所定の組み合わせで受ける一対のPチャンネルMOSFET及びNチャンネルMOSFETからなるレベル設定回路LS1及びLS2がそれぞれ設けられる。ナンドゲートNA3の一方の入力端子には内部制御信号PADが供給され、ナンドゲートNA4の一方の入力端子にはその反転信号が供給される。ナンドゲートNA3及びNA4の他方の入力端子には、内部制御信号PXDが共通に供給される。これにより、ナンドゲートNA5及びNA6の一方の入力端子は、内部制御信号PXDがロウレベルとされるとき、トランスファゲートTG2又はTG3を介して伝達される反転内部信号X12B又は内部信号X12に従ったレベルとなり、内部制御信号PXDがハイレベルとされるとき、内部制御信号PADに従って選択的にかつ強制的にハイレベル又はロウレベルとされる。

【0092】すなわち、内部制御信号PADがロウレベルとされるとき、ナンドゲートNA4の出力信号がロウレベルとなり、レベル設定回路LS1のNチャンネルMOSFETとレベル設定回路LS2のPチャンネルMOSFETが同時にオン状態となる。このため、ナンドゲートNA5の一方の入力端子はロウレベルとされ、ナンドゲートNA6の一方の入力端子はハイレベルとされる。その結果、反転内部アドレス信号BX12Bが強制的にロウレベルとされ、内部アドレス信号BX12はハイレベルのままとされる。一方、内部制御信号PADがハイレベルとされると、ナンドゲートNA3の出力信号がロウレベルとなり、レベル設定回路LS1のPチャンネルMOSFETとレベル設定回路LS2のNチャンネルMOSFETが同時にオン状態となる。このため、ナンドゲートNA5の一方の入力端子はハイレベルとされ、ナンドゲートNA6の一方の入力端子がロウレベルとされる。その結果、内部アドレス信号BX12が強制

33

的にロウレベルとされ、反転内部アドレス信号BX12 Bはハイレベルのままとされる。つまり、各パーシャルチップの内部アドレス信号BX12は、図53に示されるように、パッドPTXが電源電圧供給用リードVCCにボンディングされかつパッドPTAが非接続状態NCとされることを条件に強制的にハイレベルとされ、パッドPTX及びPTAがともに電源電圧供給用リードVCCにボンディングされることを条件に強制的にロウレベルとされるものとなる。なお、パッドPTXが非接続状態NCとされるとき、内部アドレス信号BX12は、X

【0093】次に、アドレス入力パッドA13は、図49に示されるように、Xアドレスバッファ205の入力回路IC1に結合される。この入力回路IC1は、内部制御信号RAS0がハイレベルとされることを条件に選択的に伝達状態とされ、アドレス入力パッドA13を介して時分割的に供給されるXアドレス信号X13を、内部信号X13として、セクタSEL3の一方の入力端子に伝達する。セクタSEL3の他方の入力端子に

【0094】反転内部信号X123Bは、セクタSEL4の一方の入力端子に供給されるとともに、インバータにより反転された後、セクタSEL4の他方の入力端子に供給される。このセクタSEL4の第1の制御端子には、モード設定部223から内部制御信号CSAが供給され、その第2の制御端子には、ノアゲートNO1の出力信号すなわち内部信号RCSが供給される。つまり、セクタSEL4は、実質的に図39のセクタSEL1と同様な機能を果たし、内部制御信号CSA及び内部信号RCSに従って反転内部信号X123B又はその反転信号を選択的に内部信号PCSとしてラッチ回路LT1に伝達するものとなる。なお、図49におい

【0095】これらのことから、内部制御信号CSは、内部制御信号PXDがロウレベルとされるとき、図39の場合と同様に、Xアドレス信号X13に従って選択的にハイレベル又はロウレベルとされ、内部制御信号PX

34

Dがハイレベルとされると、Xアドレス信号X12に従って選択的にハイレベル又はロウレベルとされるものとなる。すなわち、内部制御信号CSは、内部制御信号TCD及びCSAがハイレベルとされる場合、Xアドレス信号X12と同じ論理レベルとされ、Xアドレス信号X12がハイレベルであることを条件に選択的にハイレベルとされる。一方、内部制御信号TCDがハイレベルとされ内部制御信号CSAがロウレベルとされる場合には、Xアドレス信号X12を反転した論理レベルとされ、Xアドレス信号X12がロウレベルであることを条件に選択的にハイレベルとされる。つまり、各パーシャルチップは、図53に示されるように、パッドTCが電源電圧供給用リードVCCにボンディングされかつパッドPTXが非接続状態NCとされる場合には、Xアドレス信号X13に従って選択的に選択状態とされ、パッドTC及びPTXがともに電源電圧供給用リードVCCにボンディングされる場合には、パッドPTAのボンディング状態に応じて、Xアドレス信号X12のハイレベル又はロウレベルを受けて選択的に選択状態とされるものとなる。

【0096】2. 2. 同時アクセスされる2個の64メガDRAMパーシャルチップによる64メガDRAMパッケージ

図50には、この発明が適用された64メガDRAMパッケージの第2の実施例のブロック図が示されている。また、図51及び図52には、図50のDRAMパッケージに含まれるYアドレスバッファ209及びモード設定部223の一実施例の部分的な回路図が示され、図53には、図50のDRAMパッケージを構成する64メガDRAMパーシャルチップのボンディングオプションに関する一実施例の一覧表が示されている。これらの図をもとに、この実施例のDRAMパッケージの概要とI/O選択実行の具体的な方法について説明する。

【0097】2. 2. 1. ブロック構成

この実施例の64メガDRAMパッケージは、図50に示されるように、それぞれのカラムアドレス空間の二分の1が正常に機能しうる2個の64メガDRAMパーシャルチップA及びBを基本として構成される。この実施例において、各パーシャルチップの正常に機能しうる部分は、特に制限されないが、カラムアドレス空間の低アドレス側すなわちYアドレス信号Y12がロウレベルとされることによって指定される部分である。パーシャルチップA及びBのアドレス入力パッドA0～A13は、DRAMパッケージの対応するアドレス入力端子A0～A13にそれぞれ共通結合され、そのデータ入力パッドDin及びデータ出力パッドDoutは、DRAMパッケージのデータ入力端子Din及びデータ出力端子Doutにそれぞれ共通結合される。

【0098】図50において、パーシャルチップA及びBのパッドPTA及びPTYは、ともに電源電圧供給用

リードVCCにボンディングされ、パッドPTXは非接続状態NCとされる。このため、各パーシャルチップでは、後述するように、内部アドレス信号BY12が強制的にロウレベルとされ、正常に機能しうる低アドレス側のカラムアドレス空間が定常的に指定される。一方、パーシャルチップA及びBでは、パッドTCが非接続状態NCとされ、パッドF3は、パーシャルチップA側で電源電圧供給用リードVCCに結合され、パーシャルチップB側で非接続状態NCとされる。これにより、パーシャルチップAでは、後述するように、ライトアンプ218による記憶データの出力動作を選択的に実行するための内部制御信号WPあるいはデータ出力バッファ221による記憶データの出力動作を選択的に実行するための内部制御信号DOCが、Yアドレス信号Y12がロウレベルであることを条件にハイレベルとされ、パーシャルチップBでは、Yアドレス信号Y12がハイレベルであることを条件にハイレベルとされる。

【0099】これらのことから、パーシャルチップA及びBは、その記憶容量が32メガビットに半減されしかも常に同時アクセスされ記憶データの入力又は出力動作のみを選択的に実行することを除いて、前記図1の128メガDRAMパッケージを構成する64メガDRAMサブチップA及びBと実質的に同様に機能する。その結果、図50のDRAMパッケージは、いわゆる64メガDRAMパッケージとして機能するものとなる。このとき、DRAMパッケージは、図50から明らかなように、実質的にそのすべてのアドレス空間が正常に機能しうる1個の64メガDRAMチップからなる64メガDRAMパッケージと全く同一のインタフェースを持つものとされ、そのリフレッシュサイクルも同様に8キロサイクル/64msとされる。このことは、このDRAMパッケージが、1個のフルチップからなる64メガDRAMパッケージに置き換え可能なことを示すものであり、これによって64メガDRAMチップの実質的な製品歩留まりが高められることを示すものである。なお、この実施例の場合、各サブチップにおける記憶データの並列テストは4ビットを単位として実行されるため、DRAMパッケージ全体の並列テストに要する時間は、1個のフルチップからなる64メガDRAMパッケージに比較して2倍となる。

【0100】2.2.2. IO選択実行の方法とYアドレスバッファの構成図51において、各パーシャルチップのパッドF3、TC、PTA及びPTYは、モード設定部223の対応する入力回路IC2ないしIC4ならびにIC7の入力端子にそれぞれ結合され、その出力信号すなわち内部制御信号CSA、TCD、PAD及びPYDをそれぞれ選択的にハイレベル又はロウレベルとする。すなわち、内部制御信号CSA、TCD、PAD及びPYDは、対応するパッドF3、TC、PTA及びPTYが非接続状態NCとされるときそれぞれロウレベル

とされ、対応するパッドが電源電圧供給用リードVCCにボンディングされるときそれぞれハイレベルとされる。内部制御信号CSA、TCD、PAD及びPYDは、Yアドレスバッファ209に供給される。

【0101】一方、アドレス入力パッドA12は、図51に示されるように、Yアドレスバッファ209の入力回路IC6の入力端子に結合される。入力回路IC6は、内部制御信号RAS0がハイレベルとされることで選択的に伝達状態とされ、アドレス入力パッドA12を介して時分割的に供給されるYアドレス信号Y12をセクタSEL5の一方の入力端子に伝達する。セクタSEL5の他方の入力端子は、インバータを介してその出力端子に結合され、ラッチ回路を構成する。また、セクタSEL5の制御端子には、内部制御信号YLが供給される。これにより、セクタSEL5は、内部制御信号YLがロウレベルとされることを条件に伝達状態とされ、内部制御信号YLがハイレベルとされることでラッチ形態とされる。このラッチ回路の反転出力信号は、インバータによって反転された後、内部信号Y12とされ、その非反転出力信号は、同様にインバータによって反転された後、反転内部信号Y12Bとされる。

【0102】セクタSEL5から出力される反転内部信号Y12Bは、後述するナンドゲートNA12の第1の入力端子に供給されるとともに、トランスファゲートTG4を介してナンドゲートNA9の一方の入力端子に供給される。同様に、内部信号Y12は、後述するナンドゲートNA11の第1の入力端子に供給されるとともに、トランスファゲートTG5を介してナンドゲートNA10の一方の入力端子に供給される。トランスファゲートTG4及びTG5の制御端子には、内部制御信号PYDが供給される。また、ナンドゲートNA9及びNA10の他方の入力端子には、内部制御信号AGが共通に供給される。これにより、内部信号Y12及び反転内部信号Y12Bは、内部制御信号PYDがロウレベルとされることを条件に、対応するナンドゲートNA9及びNA10の一方の入力端子に伝達され、さらに内部制御信号AGがハイレベルとされることを条件に、反転内部アドレス信号BY12B又は内部アドレス信号BY12となる。

【0103】ナンドゲートNA9及びNA10の一方の入力端子と回路の電源電圧及び接地電位との間には、ナンドゲートNA7又はNA8の出力信号又はその反転信号を所定の組み合わせで受ける一対のPチャンネルMOSFET及びNチャンネルMOSFETからなるレベル設定回路LS3及びLS4がそれぞれ設けられる。このうち、ナンドゲートNA7の一方の入力端子には、内部制御信号PADが供給され、ナンドゲートNA8の一方の入力端子にはその反転信号が供給される。ナンドゲートNA7及びNA8の他方の入力端子には、内部制御信号PYDが共通に供給される。これにより、ナンドゲ

37

トNA 9及びNA 10の一方の入力端子は、内部制御信号PYDがロウレベルとされるとき、トランスファゲートTG 4又はTG 5を介して伝達される反転内部信号Y 12 B又は内部信号Y 12に従ったレベルとなり、内部制御信号PYDがハイレベルとされるとき、内部制御信号PADに従って選択的にかつ強制的にハイレベル又はロウレベルとされる。

【0104】すなわち、内部制御信号PADがロウレベルとされるとき、ナンドゲートNA 8の出力信号がロウレベルとなり、レベル設定回路LS 3のNチャンネルMOSFETとレベル設定回路LS 4のPチャンネルMOSFETが同時にオン状態となる。このため、ナンドゲートNA 9の一方の入力端子はロウレベルとされ、ナンドゲートNA 10の一方の入力端子はハイレベルとされる。その結果、反転内部アドレス信号BY 12 Bが強制的にロウレベルとされ、内部アドレス信号BY 12はハイレベルのままとされる。一方、内部制御信号PADがハイレベルとされると、ナンドゲートNA 7の出力信号がロウレベルとなり、レベル設定回路LS 3のPチャンネルMOSFETとレベル設定回路LS 4のNチャンネルMOSFETが同時にオン状態となる。このため、ナンドゲートNA 9の一方の入力端子はハイレベルとされ、ナンドゲートNA 10の一方の入力端子がロウレベルとされる。その結果、内部アドレス信号BY 12が強制的にロウレベルとされ、反転内部アドレス信号BY 12 Bはハイレベルのままとされる。つまり、各パーシャルチップの内部アドレス信号BY 12は、図5 3に示されるように、パッドPTYが電源電圧供給用リードVCCにボンディングされかつパッドPTAが非接続状態NCとされることを条件に強制的にハイレベルとされ、パッドPTY及びPTAがともに電源電圧供給用リードVCCにボンディングされることを条件に強制的にロウレベルとされるものとなる。なお、パッドPTYが非接続状態NCとされるとき、内部アドレス信号BY 12は、Yアドレス信号Y 12に従ってハイレベル又はロウレベルとされる。

【0105】Yアドレスバッファ209は、図5 2に示されるように、さらに3個の3入力ナンドゲートNA 11~NA 13を含む。このうち、ナンドゲートNA 11及びNA 12の第1の入力端子には、前述のように、内部信号Y 12及び反転内部信号Y 12 Bがそれぞれ供給され、その第3の入力端子には、内部制御信号PYDが共通に供給される。また、ナンドゲートNA 12の第2の入力端子には、内部制御信号CSAが供給され、ナンドゲートNA 11の第2の入力端子にはその反転信号が供給される。一方、ナンドゲートNA 11の出力信号は、ナンドゲートNA 13の第1の入力端子に供給され、ナンドゲートNA 12の出力信号は、その第2の入力端子に供給される。ナンドゲートNA 13の第3の入力端子には、内部制御信号PYDが供給される。ナンド

38

ゲートNA 13の出力信号は、内部制御信号IOCとして、WE系クロック発生部215のナンドゲートNA 14ならびにCAS系クロック発生部213のナンドゲートNA 15の一方の入力端子に共通に供給される。このうち、ナンドゲートNA 14の他方の入力端子には、WE系クロック発生部215の図示されない前段回路によって形成される内部制御信号WPIが供給され、ナンドゲートNA 15の他方の入力端子には、CAS系クロック発生部213の図示されない前段回路によって形成される内部制御信号DOC Iが供給される。ナンドゲートNA 14の出力信号は、インバータにより反転された後、前記内部制御信号WPとしてライトアンプ218に供給される。同様に、ナンドゲートNA 15の出力信号は、インバータにより反転された後、前記内部制御信号DOCとしてデータ出力バッファ221に供給される。なお、上記内部制御信号WPIは、パーシャルチップA及びBが書き込みモードで選択状態とされるとき所定のタイミングで一時的にハイレベルとされ、内部制御信号DOCは、各パーシャルチップが読み出しモードで選択状態とされるとき所定のタイミングでハイレベルとされる。

【0106】これらのことから、内部制御信号IOCは、内部制御信号PYDがハイレベルとされる場合には、内部制御信号CSAがロウレベルとされかつ内部信号Y 12がハイレベルとされることを条件に選択的にハイレベルとされ、あるいは内部制御信号CSAがハイレベルとされかつ反転内部信号Y 12 Bがハイレベルとされることを条件に選択的にハイレベルとされる。内部制御信号PYDがロウレベルとされる場合、内部制御信号IOCは、内部制御信号CSAならびに内部信号Y 12及び反転内部信号Y 12 Bに関係なく、定常的にハイレベルとされる。そして、この内部制御信号IOCがハイレベルとされることを条件に、内部制御信号WPが内部制御信号WPIに従ってハイレベルとされ、内部制御信号DOCが内部制御信号DOC Iに従ってハイレベルとされる。つまり、パーシャルチップA及びBは、図5 3に示されるように、パッドPTYが非接続状態NCとされる場合には、記憶データの入力又は出力動作を所定のタイミングで常に行うが、パッドPTYが電源電圧供給用リードVCCにボンディングされる場合には、パッドF 3が非接続状態NCとされるとYアドレス信号Y 12のハイレベルを受けて選択的に入力又は出力動作を実行し、パッドF 3が電源電圧供給用リードVCCにボンディングパッドされているとYアドレス信号Y 12のロウレベルを受けて選択的に入力又は出力動作を実行するものとなる。

【0107】2. 3. パーシャルチップによる64メガDRAMパッケージのバリエーション

図5 4には、2個の64メガDRAMパーシャルチップをもとに構成する64メガDRAMパッケージの一実

39

施例の製品一覧表が示されている。また、図55ないし図59には、図54の製品一覧表に記載される各DRAMパッケージの一実施例のブロック図がそれぞれ示されている。これらの図をもとに、2個の64メガDRAMパシナルチップによって構成しうる64メガDRAMパッケージの種類とそれぞれの構成及び概要を説明する。なお、図55～図59のブロック図では、各パシナルチップの正常部分とアドレス信号ならびに入力及び出力データに関する信号線のみが示される。

【0108】2. 3. 1. 構成しうる64メガDRAMパッケージの種類

この実施例の64メガDRAMチップは、前述のように、パッドF1及びF2に対するボンディングが選択的に実施されることで、64メガ×1ビット又は16メガ×4ビットあるいは8メガ×8ビットの3種のビット構成を採りうるとともに、パッドPTAならびにPTX又はPTYに対するボンディングが選択的に実施されることで、その低アドレス側又は高アドレス側のロウアドレス空間又はカラムアドレス空間が二分の1を単位して選択的にかつパシナルに機能しうるものとされる。さらに、各パシナルチップは、パッドTCに対するボンディングが選択的に実施されることで、選択アクセスあるいは同時アクセスされ、パッドF3に対するボンディングが選択的に実施されることで、選択活性化あるいはI/O選択実行のための選択条件が選択的に指定される。そして、同一のビット構成とされる2個のパシナルチップを組み合わせ、これらのパシナルチップを同時に又は選択的にアクセスすることで、図54に例示されるような7種類の64メガDRAMパッケージを構成することができる。なお、64メガ×1ビットのビット構成を持つ2種のDRAMパッケージについては、前記図47及び図50の実施例に相当するため、説明を割愛する。また、これらの実施例では、すべて低アドレス側のロウアドレス又はカラムアドレス空間が正常とされる場合について示しているが、ともに高アドレス側のロウアドレス又はカラムアドレス空間が正常とされるものを組み合わせてもよいし、低アドレス側及び高アドレス側のロウアドレス又はカラムアドレス空間が正常とされるものを任意に組み合わせることが可能であることは言うまでもない。

【0109】2. 3. 2. 各種DRAMパッケージの概要

(1) カラムアドレス空間の半分が正常な16メガ×4ビットのパシナルチップ2個を同時アクセスする16メガ×4ビットのDRAMパッケージ

16メガ×4ビットのビット構成とされかつカラムアドレス空間の二分の1が正常に機能しうる2個の64メガDRAMパシナルチップA及びBを組み合わせ、これらのパシナルチップを同時アクセスすることによって、図55に示されるような16メガ×4ビットの64

40

メガDRAMパッケージを構成できる。このバリエーションにおいて、パシナルチップA及びBのアドレス入力パッドA0～A12には、13ビットのXアドレス信号X0～X12ならびに11ビットのYアドレス信号Y0～Y10が共通にかつ時分割的に供給され、各パシナルチップのデータ入出力パッドDIO0及びDIO1は、DRAMパッケージの対応するデータ入出力端子DIO0～DIO3にそれぞれ結合される。また、各パシナルチップの内部アドレス信号BY10は、回路の接地電位すなわちロウレベルに固定され、Yアドレス信号Y10は実質的に無視される。これにより、パシナルチップA及びBは、常に同時に選択状態とされ、記憶データの入力及び出力動作を並行して実行する。その結果、DRAMパッケージは、16メガ×4ビットのビット構成を持つものとされ、4ビットの記憶データを同時に入力又は出力する。このとき、パシナルチップA及びBに対するリフレッシュ動作は同様に並行して実行され、DRAMパッケージとしてのリフレッシュサイクルも8キロサイクル/64msとなる。

【0110】(2) ロウアドレス空間の半分が正常な16メガ×4ビットのDRAMパシナルチップ2個を選択アクセスする16メガ×4ビットのDRAMパッケージ

16メガ×4ビットのビット構成とされかつそのロウアドレス空間の二分の1が正常に機能しうる2個の64メガDRAMパシナルチップA及びBを組み合わせ、これらのパシナルチップを選択アクセスすることにより、図56に示されるような16メガ×4ビットの64メガDRAMパッケージを構成できる。このバリエーションにおいて、パシナルチップA及びBのアドレス入力パッドA0～A12には、13ビットのXアドレス信号X0～X12ならびに11ビットのYアドレス信号Y0～Y10が共通にかつ時分割的に供給される。各パシナルチップのデータ入出力パッドDIO0～DIO3は、DRAMパッケージの対応するデータ入出力端子DIO0～DIO3にそれぞれ共通結合される。また、パシナルチップAの内部制御信号CSは、Xアドレス信号X12がロウレベルとされることを条件に選択的にハイレベルとされ、パシナルチップBの内部制御信号CSは、Xアドレス信号X12がハイレベルとされることを条件に選択的にハイレベルとされる。各パシナルチップの内部アドレス信号BX12は、回路の接地電位すなわちロウレベルに固定される。これらのことから、パシナルチップAは、Xアドレス信号X12がロウレベルとされるとき選択的に選択状態とされ、記憶データの入力又は出力動作を単独でかつ4ビット単位で実行する。また、パシナルチップBは、Xアドレス信号X12がハイレベルとされるとき選択的に選択状態とされ、記憶データの入力又は出力動作を単独でかつ4ビット単位で実行する。その結果、DRAMパッケージは、16

41

メガ×4ビットのビット構成を持つものとされ、4ビットの記憶データを同時に入力又は出力する。このとき、パシナルチップA及びBに対するリフレッシュ動作は同様に選択的に実行されるが、各パシナルチップのロウアドレス空間の二分の1が正常であることから、DRAMパッケージとしてのリフレッシュサイクルは同様に8キロサイクル/64msとなる。

【0111】(3) カラムアドレス空間の半分が正常な8メガ×8ビットのDRAMパシナルチップ2個を同時アクセスする16メガ×4ビットのDRAMパッケージ

8メガ×8ビットのビット構成とされかつそのカラムアドレス空間の二分の1が正常に機能しうる2個の64メガDRAMパシナルチップA及びBを組み合わせ、これらのパシナルチップを同時アクセスすることによって、図57に示されるような16メガ×4ビットの64メガDRAMパッケージを構成できる。このバリエーションにおいて、パシナルチップA及びBのアドレス入力パッドA0～A12には、13ビットのXアドレス信号X0～X12ならびに10ビットのYアドレス信号Y0～Y9が共通にかつ時分割的に供給され、各サブチップのデータ入出力パッドDIO0～DIO3は、DRAMパッケージの対応するデータ入出力端子DIO0～DIO3にそれぞれ結合される。また、パシナルチップAの内部制御信号IOCは、Yアドレス信号Y9がロウレベルとされることを条件に選択的にハイレベルとされ、パシナルチップBの内部制御信号IOCは、Yアドレス信号Y9がハイレベルとされることを条件に選択的にハイレベルとされる。各パシナルチップの内部アドレス信号BY9は、回路の接地電位すなわちロウレベルに固定される。これにより、パシナルチップA及びBは、常に同時に選択状態とされ、4ビットの記憶データの入力又は出力動作をYアドレス信号Y9に従って選択的に実行する。その結果、DRAMパッケージは、16メガ×4ビットのビット構成を持つものとされ、4ビットの記憶データを同時に入力又は出力する。このとき、サブチップA及びBに対するリフレッシュ動作は同様に並行して実行されるため、DRAMパッケージとしてのリフレッシュサイクルも8キロサイクル/64msとなる。

【0112】(4) カラムアドレス空間の半分が正常な8メガ×8ビットのDRAMパシナルチップ2個を同時アクセスする8メガ×8ビットのDRAMパッケージ8メガ×8ビットのビット構成とされかつそのカラムアドレス空間の二分の1が正常に機能しうる2個の64メガDRAMパシナルチップA及びBを組み合わせ、これらのサブチップを同時アクセスすることによって、図58に示されるような8メガ×8ビットの64メガDRAMパッケージを構成できる。このバリエーションにおいて、パシナルチップA及びBのアドレス入力パッド

42

A0～A12には、13ビットのXアドレス信号X0～X12ならびに10ビットのYアドレス信号Y0～Y9が共通にかつ時分割的に供給され、そのデータ入出力パッドDIO0～DIO3は、DRAMパッケージの対応するデータ入出力端子DIO0～DIO3ならびにDIO4～DIO7にそれぞれ結合される。また、各パシナルチップの内部アドレス信号BY9は、回路の接地電位すなわちロウレベルに固定され、Yアドレス信号Y9は実質的に無視される。これにより、パシナルチップA及びBは常に同時に選択状態とされ、4ビットの記憶データの入力又は出力動作を並行して実行する。その結果、DRAMパッケージは、8メガ×8ビットのビット構成を持つものとされ、8ビットの記憶データを同時に入力又は出力する。このとき、DRAMパッケージとしてのリフレッシュサイクルは、パシナルチップA及びBのリフレッシュ動作が同様に並行して実行されることから、8キロサイクル/64msとなる。

【0113】(5) ロウアドレス空間の半分が正常な8メガ×8ビットのDRAMパシナルチップ2個を選択アクセスする8メガ×8ビットのDRAMパッケージ8メガ×8ビットのビット構成とされかつロウアドレス空間の二分の1が正常に機能しうる2個の64メガDRAMパシナルチップA及びBを組み合わせ、これらのパシナルチップを選択アクセスすることによって、図59に示されるような8メガ×8ビットの64メガDRAMパッケージを構成できる。このバリエーションにおいて、パシナルチップA及びBのアドレス入力パッドA0～A12には、13ビットのXアドレス信号X0～X12ならびに10ビットのYアドレス信号Y0～Y9が共通にかつ時分割的に供給され、そのデータ入出力パッドDIO0～DIO7は、DRAMパッケージの対応するデータ入出力端子DIO0～DIO7にそれぞれ共通結合される。また、パシナルチップAの内部制御信号CSは、Xアドレス信号X12がロウレベルとされることを条件に選択的にハイレベルとされ、パシナルチップBの内部制御信号CSは、Xアドレス信号X12がハイレベルとされることを条件に選択的にハイレベルとされる。各パシナルチップの内部アドレス信号BX12は、回路の接地電位すなわちロウレベルに固定される。これにより、パシナルチップAは、Xアドレス信号X12がロウレベルとされるとき選択的に選択状態とされ、記憶データの入力又は出力動作を単独でかつ8ビット単位で実行する。また、パシナルチップBは、Xアドレス信号X12がハイレベルとされるとき選択的に選択状態とされ、記憶データの入力又は出力動作を単独でかつ8ビット単位で実行する。その結果、DRAMパッケージは、8メガ×8ビットのビット構成を持つものとされ、8ビットの記憶データを同時に入力又は出力する。このとき、パシナルチップA及びBに対するリフレッシュ動作は同様に選択的に実行されるが、各パシ

ャルチップのロウアドレス空間の二分の1が正常であることから、DRAMパッケージとしてのリフレッシュサイクルは8キロサイクル/64msとなる。

【0114】2. 4. 評価

以上のように、この実施例の64メガDRAMパッケージは、そのロウアドレス又はカラムアドレス空間の二分の1が正常に機能しうる2個の64メガDRAMパシナルチップをダブルチップパッケージ方式によって1個のパッケージに搭載することによって構成される。DRAMパッケージを構成する2個のパシナルチップは、所定のボンディングが選択的に実施されることで、その正常に機能しえない部分が選択的に無効とされ、正常に機能しうる部分の選択条件が選択的に設定される。これらの結果、

(1) その一部が正常に機能しえないDRAMチップを組み合わせて、そのアドレス空間のすべてが正常に機能しうる1個のフルチップで構成されたDRAMパッケージと同一のインタフェースを有し、このようなDRAMパッケージと互換性を有するDRAMパッケージを構成できる。

(2) 図60に例示されるように、その一部が正常に機能しえないDRAMチップをパシナルチップとして利用し、救済できるため、DRAMチップの製品歩留まりを高めることができる。例えば、図60の場合、その一部が正常でないDRAMチップを利用しない従来の方法では、1枚のウェハから45個の64メガDRAMパッケージを得ることができるが、2個のパシナルチップをダブルチップパッケージ方式によって組み合わせた場合、合計75個の64メガDRAMパッケージを得ることができる。その結果、相応してDRAMチップの製品歩留まりを高め、DRAMパッケージの低コスト化を図ることができる。

(3) 所定のボンディングが選択的に実行されることで、各パシナルチップの正常に機能しえない部分を選択的に無効とし、正常に機能しうる部分の選択条件を選択的に設定することができるため、例えば同じ部分が正常に機能しえないパシナルチップ等を任意に組み合わせて利用できる。等の効果が得られるものとなる。

【0115】3. ダブルチップパッケージ方式の応用例
これまでの実施例では、いずれも同一の機能を有しかつ同一の条件で形成される複数のサブチップ又はパシナルチップを組み合わせて1個のDRAMパッケージを構成する場合について述べてきたが、パッケージを構成する複数の半導体チップは、同一の機能を持つものである必要はないし、同一の条件で製造されるものである必要もない。以下、異なる複数の半導体チップを組み合わせたダブルチップパッケージ方式の応用例とその概要について説明する。

【0116】3. 1. DRAMパッケージの機能別チップ分割

図61には、異なる2個の半導体チップからなるDRAMパッケージの第1の実施例のブロック図が示されている。図61において、DRAMパッケージ310は、2個のサブチップ310A(第1のサブチップ)及び310B(第2のサブチップ)を基本構成とする。このうち、サブチップ310Aは、特に制限されないが、メモリアレイ201とワードドライバ202、Xアドレスデコーダ203、Xプリデコーダ204、Xアドレスバッファ205、センスアンプ206、Yアドレスデコーダ207、Yプリデコーダ208、ライトアンプ218、データ入力バッファ219、メインアンプ220及びデータ出力バッファ221を含み、比較的集積度の高いブロックから構成される。このため、サブチップ310Aは、アレイサブチップと称され、いわゆる0.5μ(ミクロン)プロセスの製造工程によって形成される。一方、サブチップ310Bは、RAS2系クロック発生部210、RAS1系クロック発生部211、RASバッファ212、CAS系クロック発生部213、CASバッファ214、WE系クロック発生部215、WEバッファ216、降圧部222及びモード設定部223等のいわゆる間接周辺回路を含み、比較的集積度の低いブロックから構成される。このため、サブチップ310Bは、制御回路サブチップと称され、いわゆる0.8μプロセスの製造工程によって形成される。

【0117】サブチップ310A及び310Bは、ダブルチップパッケージ方式によって一体化され、1個のDRAMパッケージを構成する。このとき、これらのサブチップは、それぞれ複数のパッドを介するワイヤボンディングによってDRAMパッケージの外部端子に結合されるとともに、他の複数のパッドを介するワイヤボンディングによって互いに結合される。

【0118】このように、DRAMパッケージを構成する複数のブロックを、その集積度や製造プロセスに従って複数のサブチップに機能分割し、これらのサブチップをダブルチップパッケージ方式によって一体化することで、DRAMパッケージの最適機能分割を図りつつ、製造工程の簡素化を図ることができる。なお、サブチップ310A及び310Bは、その集積度や製造プロセスが異なることから、それぞれ異なる製品歩留まりを呈する。従来のように、これらのブロックを1個の半導体チップに納めた場合、サブチップ310Bに含まれ比較的高いことを期待できるブロックの製品歩留まりが、サブチップ310Aに含まれ比較的低い製品歩留まりのブロックによって低くされる。この実施例のように、異なる製品歩留まりを呈するブロックを2個の半導体チップに納め、これらの半導体チップをダブルチップパッケージ方式によって一体化することで、DRAMパッケージとしての総合的な製品歩留まりを高めることができるものとなる。

【0119】3. 2. DRAMパッケージのビット別チ

チップ分割

図 6 2 には、異なる 2 個の半導体チップからなる DRAM パッケージの第 2 の実施例のブロック図が示されている。図 6 1 において、DRAM パッケージ 3 1 1 は、2 個のサブチップ 3 1 1 A (第 3 のサブチップ) 及び 3 1 1 B (第 4 のサブチップ) を基本構成とする。このうち、サブチップ 3 1 1 A は、いわゆる 8 メガ×8 ビットのビット構成を有する比較的集積度の高い DRAM チップであり、0.5 μ プロセスの製造工程により形成される。一方、サブチップ 3 1 1 B は、いわゆる 8 メガ×1

10 ビットのビット構成を有する比較的集積度の低い DRAM チップであり、0.8 μ プロセスの製造工程により形成される。

【0120】サブチップ 3 1 1 A 及び 3 1 1 B は、ダブルチップパッケージ方式によって一体化され、1 個の DRAM パッケージを構成する。このとき、これらのサブチップのアドレス入力パッド A0~A12 は、DRAM パッケージのアドレス入力端子 A0~A12 にそれぞれ共通結合される。また、サブチップ 3 1 1 A のデータ入出力パッド DIO0~DIO7 は、DRAM パッケージ

20 の対応するデータ入出力端子 DIO0~DIO7 にそれぞれ結合され、サブチップ 3 1 1 B のデータ入出力パッド DIO は、例えば DRAM パッケージのパリティビット用データ入出力端子に結合される。

【0121】このように、DRAM パッケージを構成する複数のブロックを、記憶データの所定ビットに対応して分割し、これらのサブチップをダブルチップパッケージ方式によって一体化することで、例えば一般的でないビット構成の DRAM パッケージを容易に実現することが

30 ができる。また、サブチップ 3 1 1 B に代えて、サブチップ 3 1 1 A と同一の製造プロセスによって形成されたパーシャルチップを用いることで、パーシャルチップの救済が可能となる。

【0122】3. 3. マイクロコンピュータパッケージの機能別チップ分割

図 6 4 には、異なる 2 個の半導体チップからなるマイクロコンピュータパッケージの一実施例のブロック図が示されている。図 6 4 において、マイクロコンピュータパッケージ 3 2 0 は、2 個のサブチップ 3 2 0 A (第 5 のサブチップ) 及び 3 2 0 B (第 6 のサブチップ) を基本

(タイミング) ロジック 3 3 0、プログラムカウンタ 3 3 1、IO レジスタ 3 3 2 及び IO バッファ 3 3 3 を含み、比較的集積度の低いブロックから構成される。このため、サブチップ 3 2 0 B は、ALU サブチップと称され、0.8 μ プロセスの製造工程によって形成される。

【0123】サブチップ 3 2 0 A 及び 3 2 0 B は、ダブルチップパッケージ方式によって一体化され、1 個のマイクロコンピュータパッケージを構成する。このとき、これらのサブチップは、それぞれ複数のパッドを介するワイヤボンディングによってマイクロコンピュータパッケージの外部端子に結合されるとともに、他の複数のパッドを介するワイヤボンディングによって互いに結合される。

【0124】このように、マイクロコンピュータパッケージを構成する複数のブロックを、その集積度や製造プロセスに従って複数のサブチップに機能分割し、これらのサブチップをダブルチップパッケージ方式によって一体化することで、マイクロコンピュータパッケージの最適機能分割を図りつつ、製造工程の簡素化を図ることができる。また、サブチップ 3 2 0 A 及び 3 2 0 B は、その集積度や製造プロセスが異なることでそれぞれ異なる製品歩留まりを呈するが、図 6 3 に示されるように、これらのブロックが 1 個の半導体チップ内に構成される従来のマイクロコンピュータパッケージに比較すると、マイクロコンピュータパッケージとしての総合的な製品歩留まりは高められるものとなる。

【0125】以上、本発明者によってなされた発明を複数の実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図 1 を初めとする DRAM パッケージのブロック図において、サブチップの記憶容量やそのビット構成は任意に設定できるし、DRAM パッケージとしての記憶容量及びビット構成も任意である。すなわち、例えば、2 個の 32 メガ DRAM サブチップをもとに 64 メガ DRAM パッケージを構成することができし、2 個の 128 メガ DRAM サブチップをもとに 256 メガ DRAM パッケージを構成することもできる。また、各サブチップ及び DRAM パッケージのビット構成は、例えば $\times 16$ 又は $\times 32$ ビット構成にすることも可能である。このように多ビット化された DRAM パッケージでは、例えば 2 個のサブチップを同時アクセスし並行して記憶データの入力又は出力動作を実行することで、各サブチップ上に形成されるボンディングパッドの数を相当削減することができる。DRAM パッケージ及び DRAM サブチップは、アドレスマルチプレクス方式を採用することを必要条件としないし、そのブロック構成も、これらの実施例による制約を受けない。また、DRAM パッケージ及び DRAM サブチップのリフレッシュサイクルや並列テスト及び高速カラムモード等も、その方式や種類

47

等において任意である。図5及び図6において、DRAMサブチップのメモリアレイの分割方法は、他の種々の実施形態を採りうるし、そのレイアウト及びアドレス割り付けも同様である。また、半導体基板面に設けられるボンディングパッドの配置は、面対称に配置されることを条件に、種々の実施例が考えられる。図13ないし図18において、DRAMパッケージは、SOJ以外の任意のパッケージ形態を採りうるし、その具体的な構造もこれらの実施例による制約を受けない。図19ないし図23において、ダブルチップパッケージ方式を用いたDRAMパッケージの製造工程は、ほんの一例であって、これらの製造工程によって発明がなんら制限を受けるものではない。図47を初めとする64メガDRAMパッケージのブロック図において、パーシャルチップは、例えばロウアドレス又はカラムアドレスの4分の1が正常に機能しうるものとしてもよい。この場合、正常な部分を指定するためのパッドや選択条件を設定するためのパッド等を、これに対応して設けなくてはならない。図39、図48、図49、図51及び図52の回路図において、Xアドレスバッファ及びYアドレスバッファ等の論理構成は、これらの実施例による制約を受けないし、電源電圧の組み合わせや極性ならびにMOSFETの導電型等も種々の実施形態を採りうる。図61において、DRAMパッケージの機能分割は、例えばXアドレスバッファ205及びYアドレスバッファ209等をサブチップ310B側に含ませる等、任意である。図64において、マイクロコンピュータのブロック構成はこの実施例による制約を受けないし、その機能分割も任意である。

【0126】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるDRAMパッケージ及びマイクロコンピュータパッケージに適用した場合について説明したが、それに限定されるものではなく、例えば、スタティック型RAM等を基本構成とする各種メモリパッケージやゲートアレイ集積回路等を基本構成とする各種デジタル集積回路パッケージ等にも適用できる。この発明は、少なくとも複数の半導体チップからなる半導体装置ならびにこのような半導体装置を含むデジタルシステム等に広く適用できる。

【0127】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。同一の構成にされた第1と第2のメモリチップの各々に対応して第1のリードと第2のリードを設け、かかる第1と第2のリードのうちアドレス端子及び制御端子の対応するもの同士を上下に重ね合わせて共通接続し、データ入出力端子をそれぞれ独立に分離させた状態で上記第1と第2のメモリチップを1つのパッケージに収納することにより、簡単な構成で2倍の記憶容量を持つ半導体装置を得ることができる。

【図面の簡単な説明】

48

【図1】この発明が適用された128メガDRAMパッケージの第1の実施例を示すブロック図である。

【図2】図1のDRAMパッケージの一実施例を示すタイミング図である。

【図3】図1のDRAMパッケージを構成する64メガDRAMサブチップの一実施例を示す標準仕様図である。

【図4】図3のDRAMサブチップの一実施例を示すブロック図である。

【図5】図4のDRAMサブチップの一実施例を示す基板配置図である。

【図6】図4のDRAMサブチップの一実施例を示すアドレス割り付け図である。

【図7】この発明が適用された128メガDRAMパッケージのバリエーションを示す一実施例の製品一覧図である。

【図8】この発明が適用された128メガDRAMパッケージの第2の実施例を示すブロック図である。

【図9】この発明が適用された128メガDRAMパッケージの第3の実施例を示すブロック図である。

【図10】この発明が適用された128メガDRAMパッケージの第4の実施例を示すブロック図である。

【図11】この発明が適用された128メガDRAMパッケージの第5の実施例を示すブロック図である。

【図12】この発明が適用された128メガDRAMパッケージの第6の実施例を示すブロック図である。

【図13】図1のDRAMパッケージの一実施例を示す断面斜視図である。

【図14】図13のDRAMパッケージの一実施例を示す平面図である。

【図15】図14のDRAMパッケージの一実施例を示すA-B断面構造図である。

【図16】図14のDRAMパッケージの一実施例を示すC-D切開平面図である。

【図17】図14のDRAMパッケージの第1の実施例を示すE-F切開平面図である。

【図18】図14のDRAMパッケージの第2の実施例を示すE-F切開平面図である。

【図19】図13のDRAMパッケージの第1の製造工程を示す工程処理図である。

【図20】図13のDRAMパッケージの第2の製造工程を示す工程処理図である。

【図21】図13のDRAMパッケージの第3の製造工程を示す工程処理図である。

【図22】図13のDRAMパッケージの第4の製造工程を示す工程処理図である。

【図23】図13のDRAMパッケージの第5の製造工程を示す工程処理図である。

【図24】図13のDRAMパッケージに用いられるリードフレーム及び絶縁フィルムの一実施例を示す平面図

である。

【図 25】この発明が適用された DRAM パッケージの第 2 の実施例を示す断面構造図である。

【図 26】この発明が適用された DRAM パッケージの第 3 の実施例を示す断面構造図である。

【図 27】この発明が適用された DRAM パッケージの第 4 の実施例を示す断面構造図である。

【図 28】この発明が適用された DRAM パッケージの第 5 の実施例に含まれるリードフレームの一実施例を示す平面図である。

【図 29】図 28 の DRAM パッケージの一実施例を示す断面構造図である。

【図 30】この発明が適用された DRAM パッケージの第 6 の実施例を示す断面構造図である。

【図 31】この発明が適用された DRAM パッケージの第 7 の実施例を示す断面構造図である。

【図 32】図 3 の DRAM サブチップのボンディングオプションを示す一実施例の接続一覧表である。

【図 33】図 1 の DRAM パッケージの一実施例を示すパッド接続図である。

【図 34】図 8 の DRAM パッケージの一実施例を示すパッド接続図である。

【図 35】図 9 の DRAM パッケージの一実施例を示すパッド接続図である。

【図 36】図 10 の DRAM パッケージの一実施例を示すパッド接続図である。

【図 37】図 11 の DRAM パッケージの一実施例を示すパッド接続図である。

【図 38】図 12 の DRAM パッケージの一実施例を示すパッド接続図である。

【図 39】図 4 の DRAM サブチップに含まれる X アドレスバッファの一実施例を示す部分的な回路図である。

【図 40】この発明が適用された 128 メガ DRAM パッケージの第 6 の実施例を示すブロック図である。

【図 41】図 40 の DRAM サブチップの一実施例を示すタイミング図である。

【図 42】この発明が適用された 128 メガ DRAM パッケージの第 7 の実施例を示すブロック図である。

【図 43】図 42 の DRAM サブチップの書き込みモードの一実施例を示すタイミング図である。

【図 44】図 42 の DRAM サブチップの読み出しモードの一実施例を示すタイミング図である。

【図 45】従来の DRAM パッケージの一実施例を示す部分的な信号系統図である。

【図 46】図 1 の DRAM パッケージの一実施例を示す部分的な信号系統図である。

【図 47】2 個の DRAM パーシャルチップからなる 64 メガ DRAM パッケージの第 1 の実施例を示すブロック図である。

【図 48】図 47 の DRAM パッケージに含まれる X ア

ドレスバッファの部分的な回路図である。

【図 49】図 47 の DRAM パッケージに含まれる X アドレスバッファの他の部分的な回路図である。

【図 50】2 個の DRAM パーシャルチップからなる 64 メガ DRAM パッケージの第 2 の実施例を示すブロック図である。

【図 51】図 50 の DRAM パッケージに含まれる Y アドレスバッファの部分的な回路図である。

【図 52】図 50 の DRAM パッケージに含まれる Y アドレスバッファの他の部分的な回路図である。

【図 53】図 47 及び図 50 の DRAM パーシャルチップのボンディングオプションを示す一実施例の接続一覧表である。

【図 54】2 個の DRAM パーシャルチップからなる 64 メガ DRAM パッケージのバリエーションを示す一実施例の製品一覧表である。

【図 55】2 個の DRAM パーシャルチップからなる 64 メガ DRAM パッケージの第 3 の実施例を示すブロック図である。

【図 56】2 個の DRAM パーシャルチップからなる 64 メガ DRAM パッケージの第 4 の実施例を示すブロック図である。

【図 57】2 個の DRAM パーシャルチップからなる 64 メガ DRAM パッケージの第 5 の実施例を示すブロック図である。

【図 58】2 個の DRAM パーシャルチップからなる 64 メガ DRAM パッケージの第 6 の実施例を示すブロック図である。

【図 59】2 個の DRAM パーシャルチップからなる 64 メガ DRAM パッケージの第 7 の実施例を示すブロック図である。

【図 60】DRAM チップが形成されるウェハの一実施例を示す平面図である。

【図 61】機能分割された 2 個のサブチップからなる DRAM パッケージの一実施例を示すブロック図である。

【図 62】ビット分割された 2 個のサブチップからなる DRAM パッケージの一実施例を示すブロック図である。

【図 63】従来のマイクロコンピュータパッケージの一実施例を示すブロック図である。

【図 64】機能分割された 2 個のサブチップからなるマイクロコンピュータパッケージの一実施例を示すブロック図である。

【図 65】従来の DRAM パッケージの一例を示す基板平面図である。

【図 66】従来の DRAM パッケージの他の一例を示す断面構造図である。

【図 67】従来の DRAM パッケージのさらに他の一例を示す断面構造図である。

【符号の説明】

51

1・・・DRAMパッケージ、1A～1N・・・サブチップ、2・・・モールド樹脂（樹脂封止型パッケージ）、3・・・リードフレーム、3A、3A1～3A2、3Aa～3Ab・・・インナーリード、3B・・・アウターリード、3C・・・チップ支持用リード、4・・・絶縁フィルム、5、8・・・ボンディングワイヤ、6、10・・・ハンダバンプ、7A～7B・・・配線基板、9・・・モールド樹脂、11・・・メタライズ部。
20・・・ヒータープレス、21・・・レーザ装置、22・・・YAGレーザビーム、201・・・メモリアレイ、202・・・ワードドライバ、203・・・Xアドレスデコーダ、204・・・Xプリデコーダ、205・・・Xアドレスバッファ、206・・・センスアンプ、207・・・Yアドレスデコーダ、208・・・Yプリデコーダ、209・・・Yアドレスバッファ、210・・・RAS2系クロック発生部、211・・・RAS1系クロック発生部、212・・・RASバッファ、213・・・CAS系クロック発生部、214・・・CASバッファ、214・・・WE系クロック発生部、216*

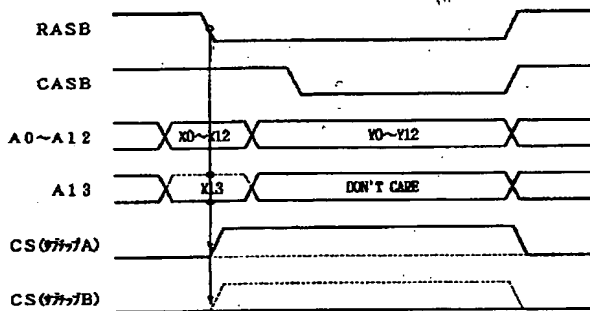
【図2】

52

*・・・WEバッファ、217・・・コモンIO線、218・・・ライトアンプ、219・・・データ入力バッファ、220・・・メインアンプ、221・・・データ出力バッファ、222・・・降圧部、223・・・モード設定部。310、311・・・DRAMパッケージ、310A～310B、311A～311B・・・DRAMサブチップ、320・・・マイクロコンピュータパッケージ、320A・・・ALUサブチップ、320B・・・メモリサブチップ、321・・・データRAM（データROM）、322・・・インストラクションROM、323・・・汎用レジスタ、324・・・RAMポインタ（ROMポインタ）、325・・・乗算ユニット、326・・・内部バス、327・・・算術論理演算ユニット、328・・・乗算ユニット出力レジスタ、329・・・アキュムレータ、330・・・コントロール（タイミグ）ロジック、331・・・プログラムカウンタ、332・・・IOレジスタ、333・・・IOバッファ。

【図3】

【図2】



【図7】

【図7】

128メガDRAMパッケージのバリエーション

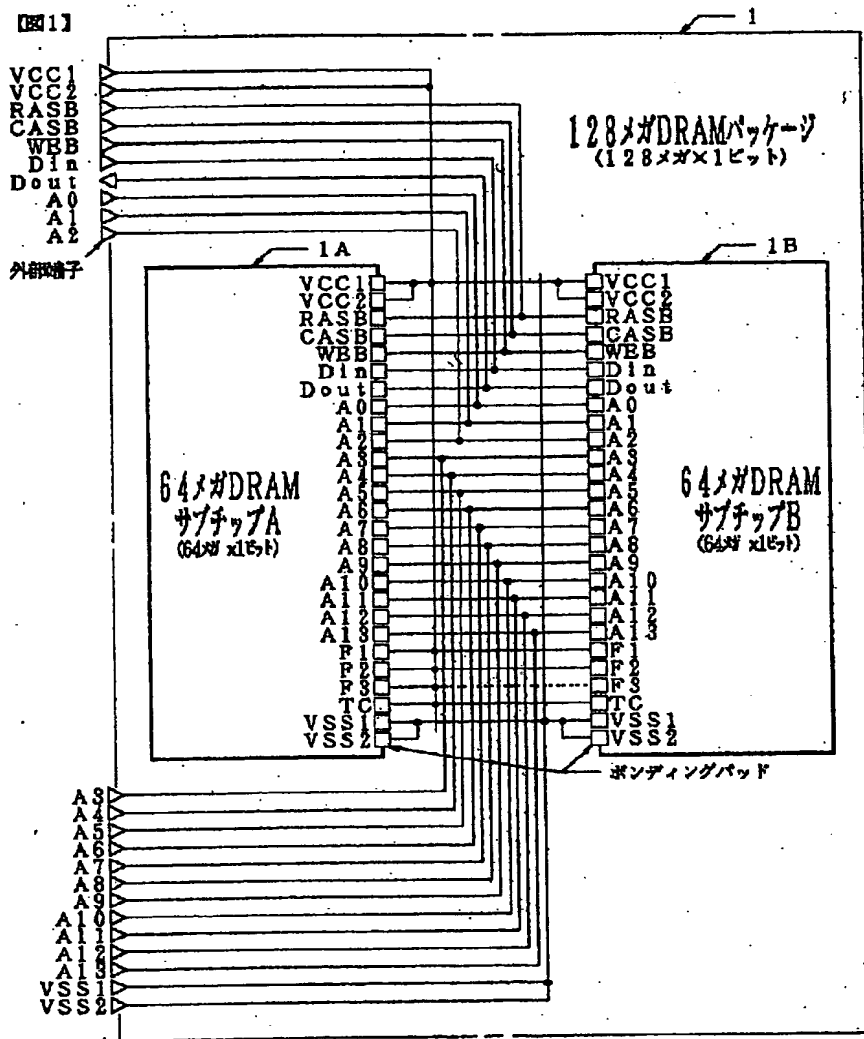
64メガDRAMサブチップ		128メガDRAMパッケージ		備考
チップ構成	ビット構成	チップ構成	ビット構成	
64メガ	×1	選択	128メガ ×1	図1
64メガ	×1	同時	64メガ ×2	図8
16メガ	×4	選択	32メガ ×4	図9
16メガ	×4	同時	16メガ ×8	図10
8メガ	×8	選択	16メガ ×8	図11
8メガ	×8	同時	8メガ ×16	図12

【図3】

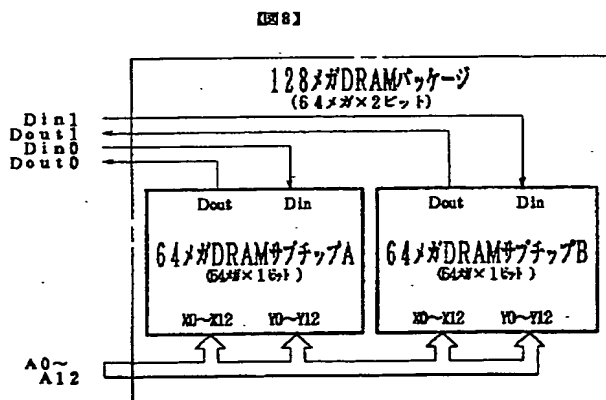
64メガDRAMサブチップ標準仕様

項 目		仕 様		
ビット構成		64メガワード 1ビット	16メガワード 4ビット	8メガワード 8ビット
アドレス	チップ	X13	X13	X13
	ロウ	X0～X12	X0～X12	X0～X12
	コラム	Y0～Y12	Y0～Y10	Y0～Y9
パッケージ		32ピン SOJ 300×850mil		
使用ピン数	23ピン	26ピン	32ピン	
	クロック: 3 アドレス: 14 I/O: 2 電源: 4	クロック: 4 アドレス: 14 I/O: 4 電源: 4	クロック: 4 アドレス: 14 I/O: 8 電源: 6	
リフレッシュ		8192サイクル/64ms		
標準並列テスト		8ビット並列処理 (全I/O同一データ出力)		
高速コラムモード	Fast Page Static Column Nibble	Fast Page Static Column	Fast Page Static Column	
	FP及びSCモードのコラム深さは最大8キロビット			

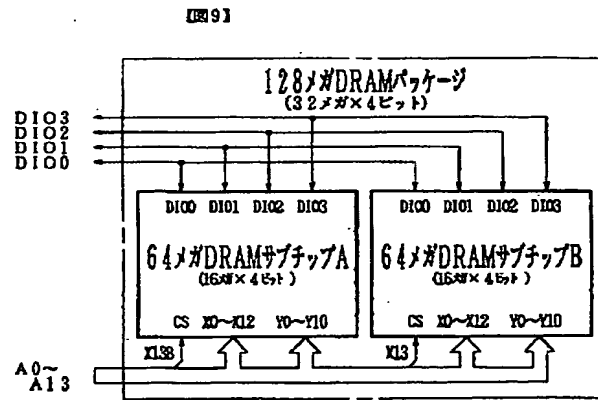
【図 1】



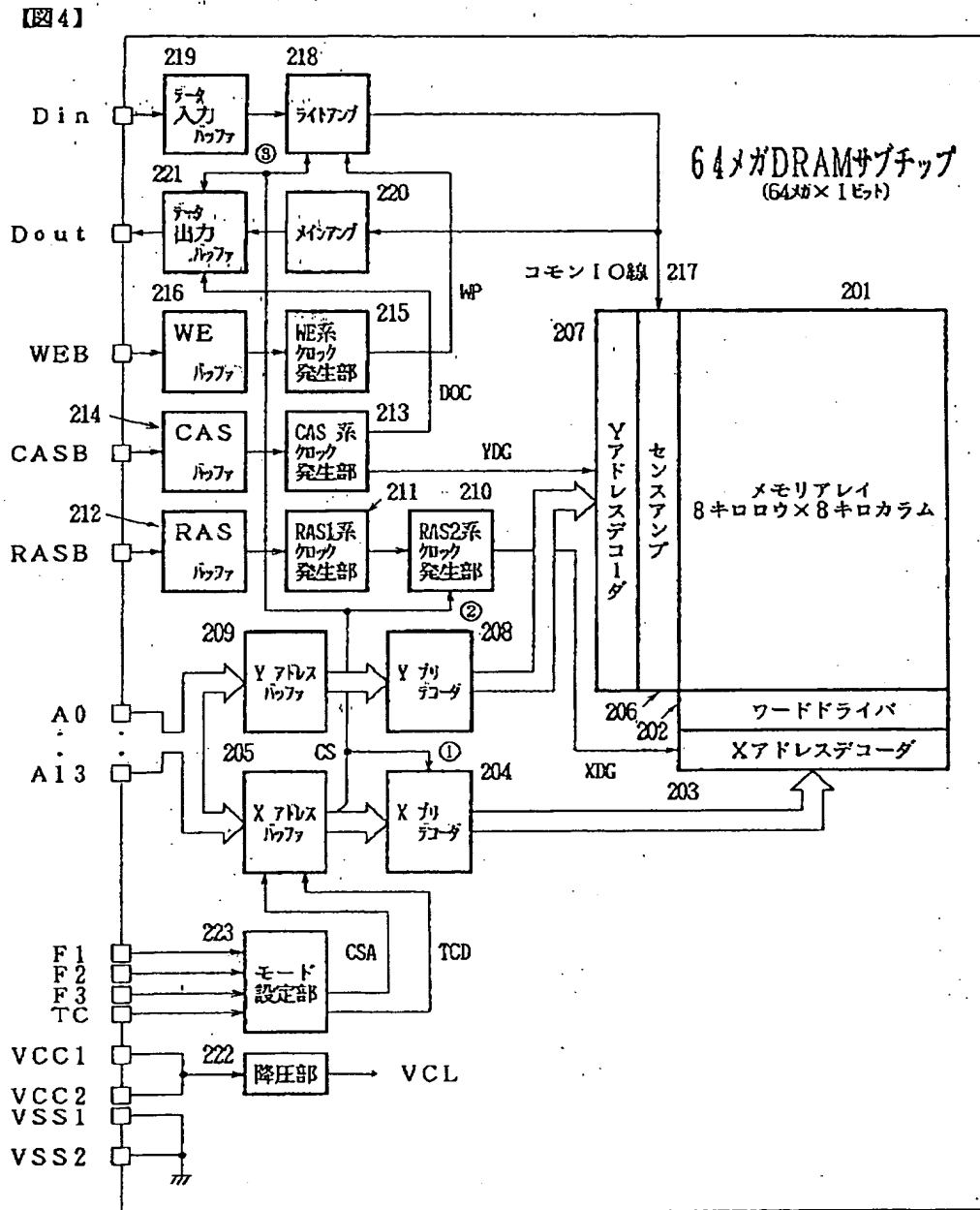
【図 8】



【図9】



【図4】

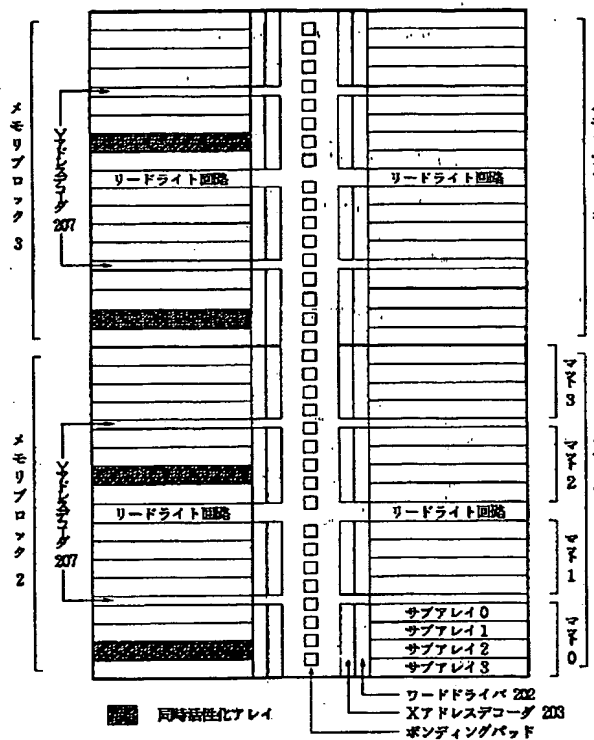


【図 5】

【図 6】

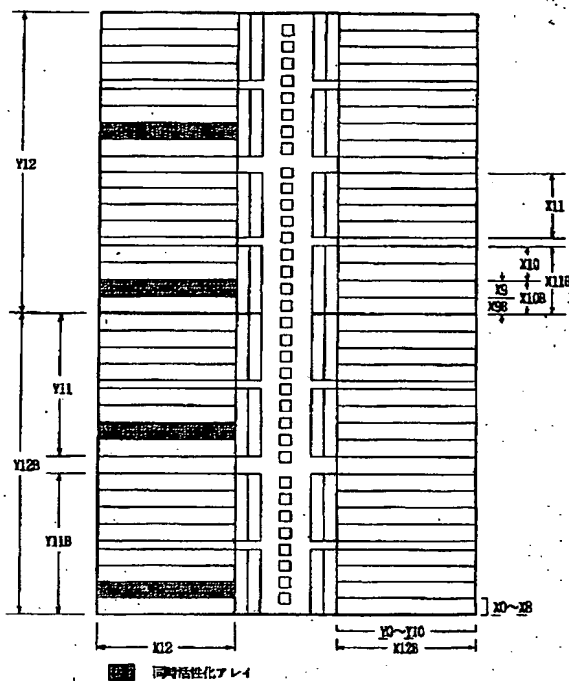
【图5】

64メガDRAMサブチップ基本レイアウト



61

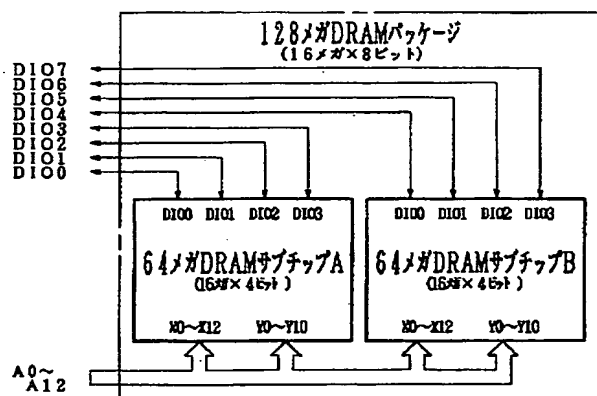
64メガDRAMサブチップ選択理由



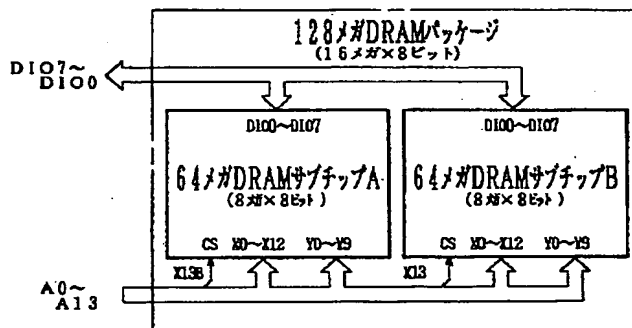
【图 1 1】

【図 10】

01 02



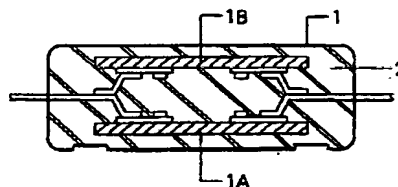
Q11 11



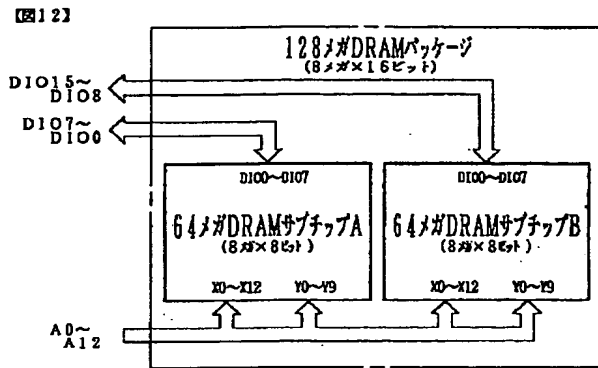
【図 22】

【图 22】

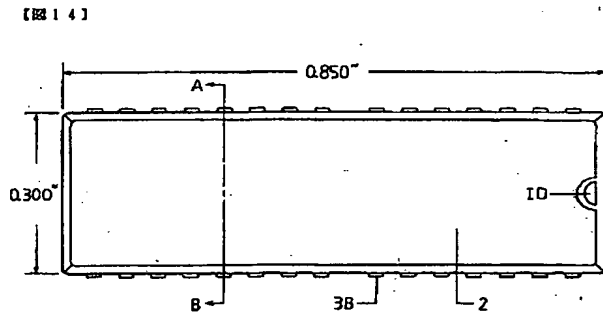
工程 4 : 封止 (リードの切断・接合部はレジン内)



【図12】

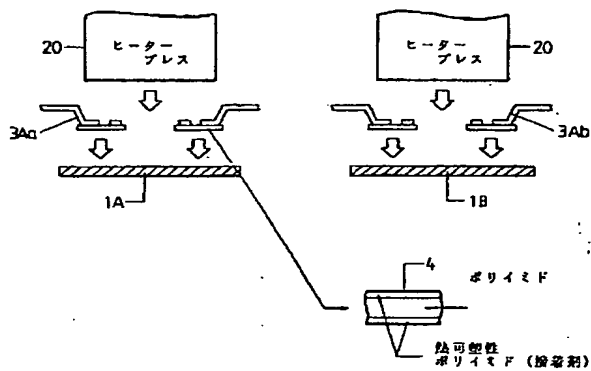


【図14】



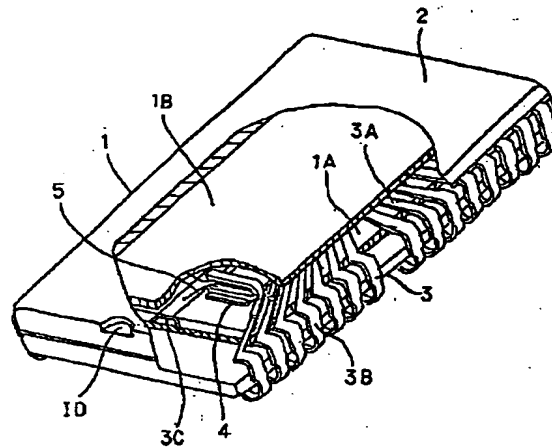
【図19】

【図19】 工程1：ペレット付け



【図13】

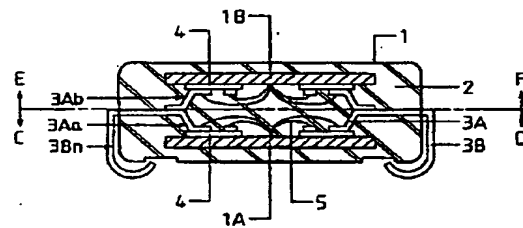
【図13】



- 1: 128メガDRAMパッケージ
1A: 64メガDRAMサブチップA
1B: 64メガDRAMサブチップB
2: 樹脂封止型パッケージ
3: リード
3A: インナーリード
3B: アウターリード
3C: チップ支持用リード (吊りリード)
4: 絶縁性フィルム
5: ボンディングワイヤ

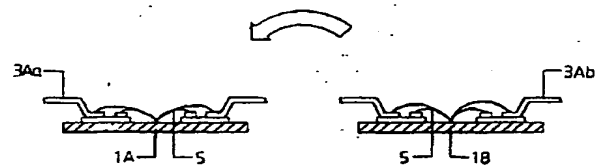
【図15】

【図15】



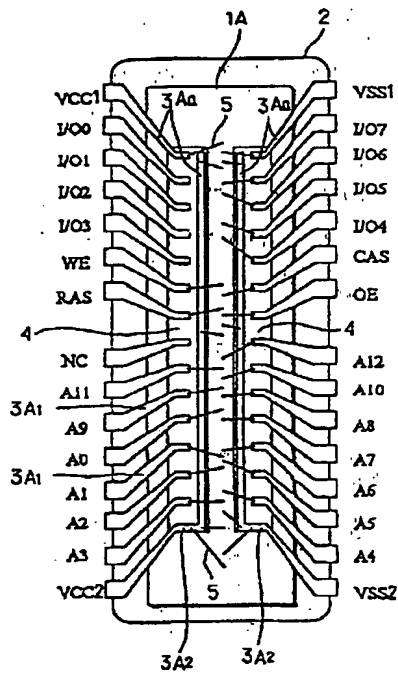
【図20】

【図20】 工程2：ワイヤボンディング



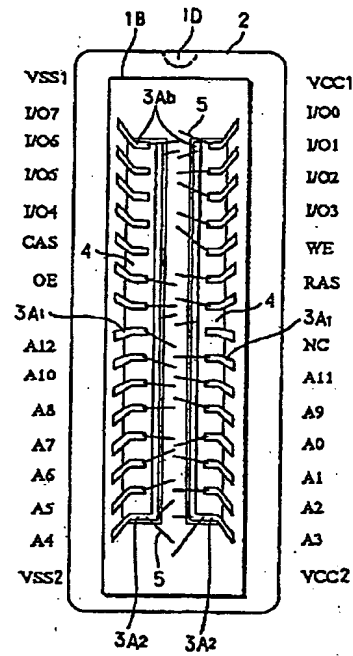
【図16】

【図16】



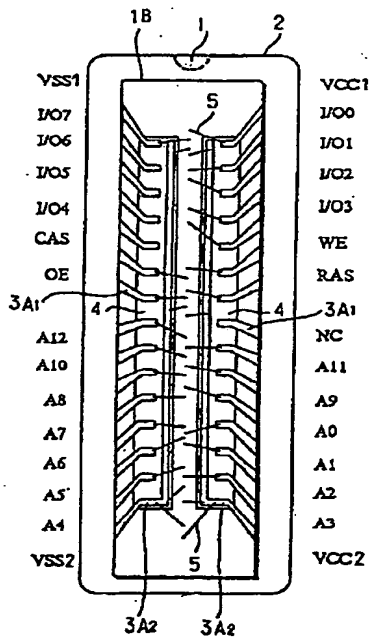
【図17】

【図17】



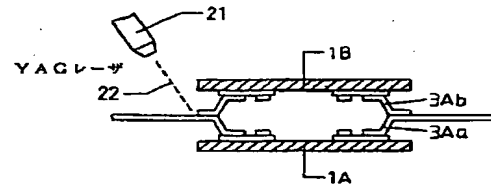
【図18】

【図18】



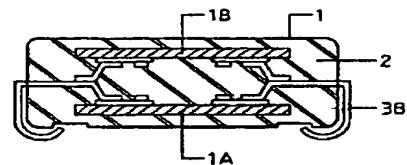
【図21】

【図21】 工程3：リーフ切断及び接合



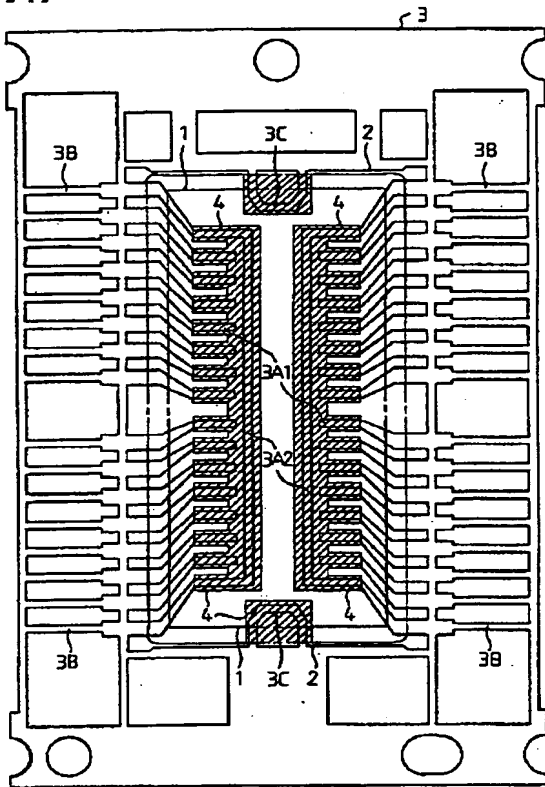
【図23】

【図23】 工程5：リーフ成形



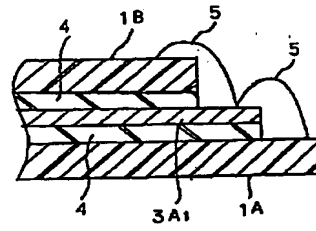
【図24】

【図24】



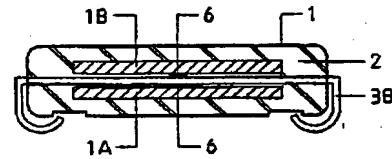
【図25】

【図25】



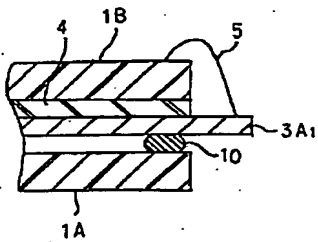
【図30】

【図30】



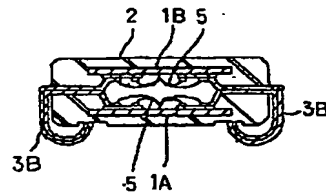
【図26】

【図26】

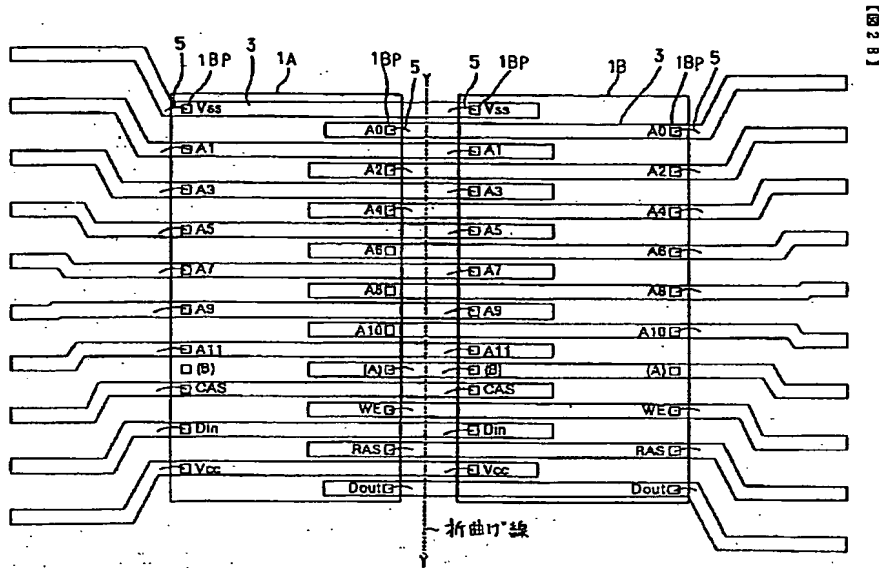


【図27】

【図27】

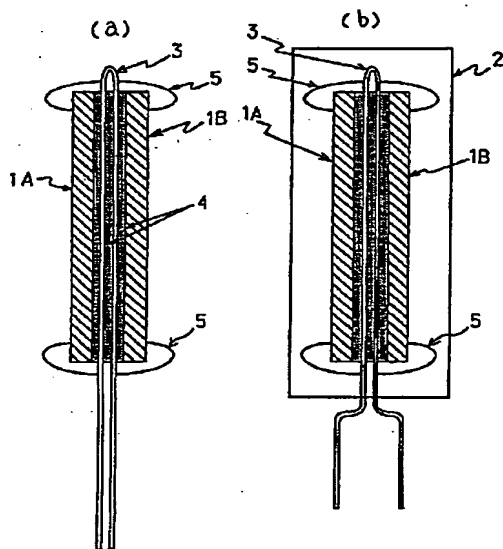


【図28】



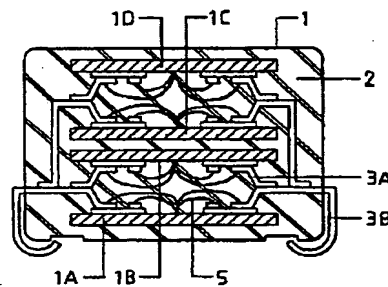
【図29】

【図29】



【図31】

【図31】



【図32】

【図32】

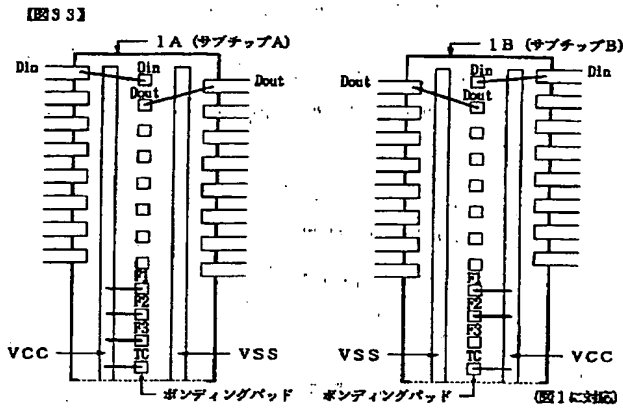
64メガDRAMサブチップのボンディングオプション

F1	F2	F3	TC	チップ構成	チップ選択	入出力端子
VCC	VCC	--	NC	×1	常時選択	Din/Dout
VCC	NC	--	NC	×4	常時選択	D100~D103
NC	NC	--	NC	×8	常時選択	D100~D107
--	--	NC	VCC	--	X13-Bで選択	--
--	--	VCC	VCC	--	X13-Lで選択	--

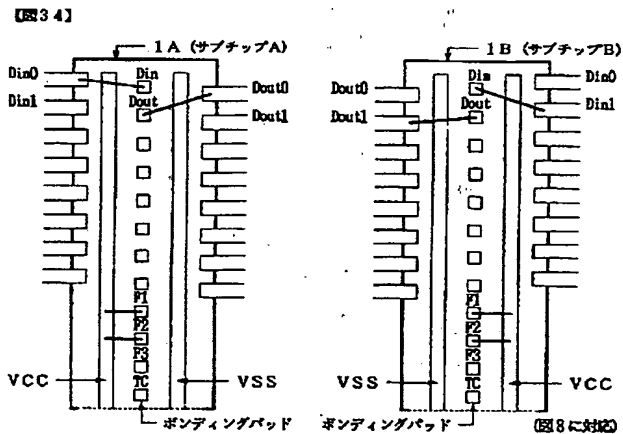
NC NO CONNECT

-- DON'T CARE

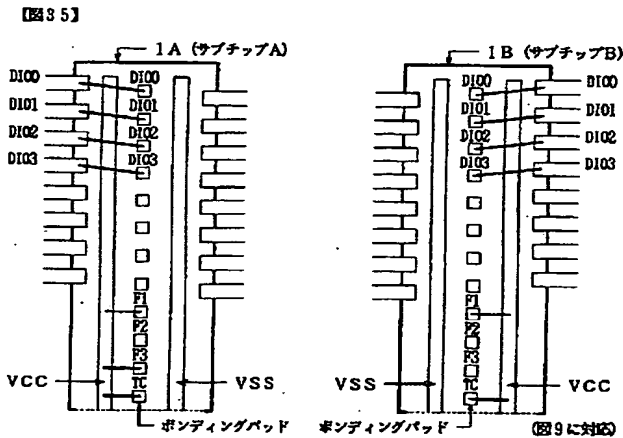
【図 33】



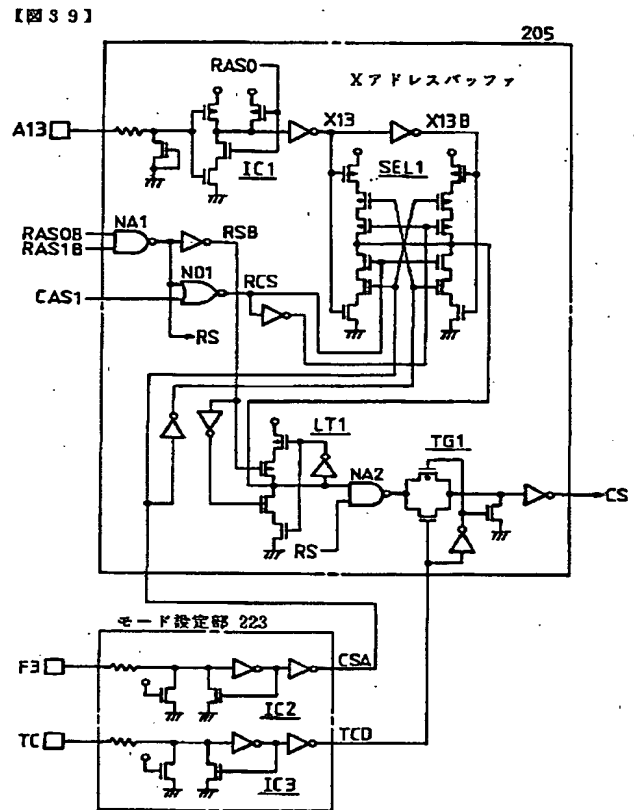
【図 34】



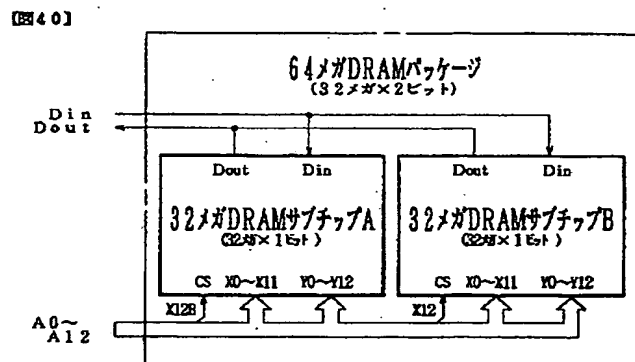
【図 35】



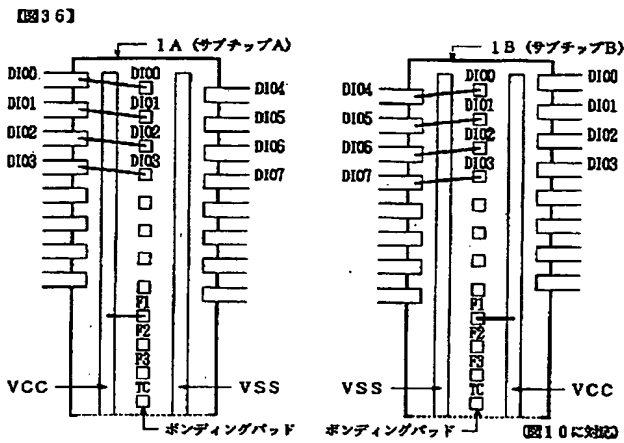
【図 39】



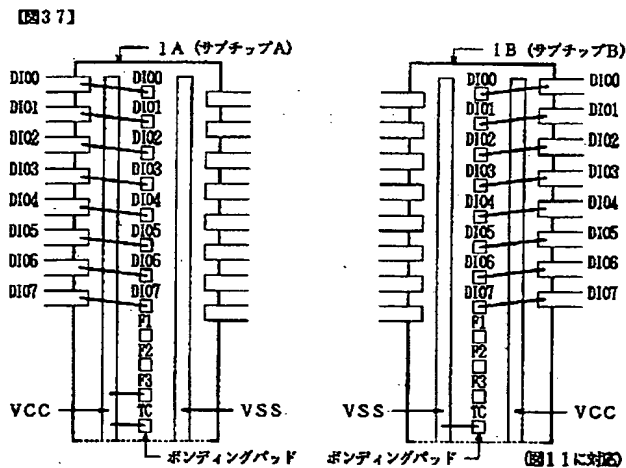
【図 40】



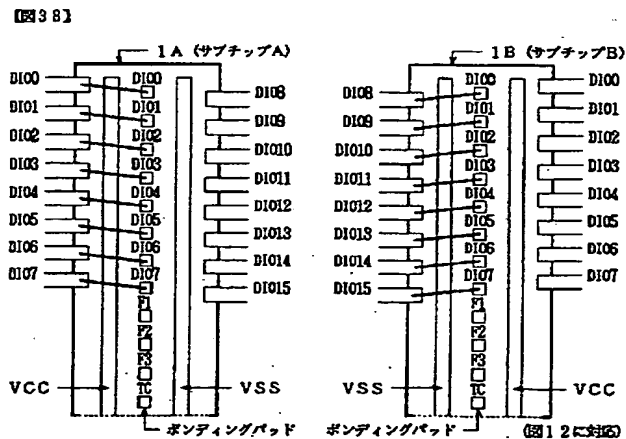
【図36】



【図37】

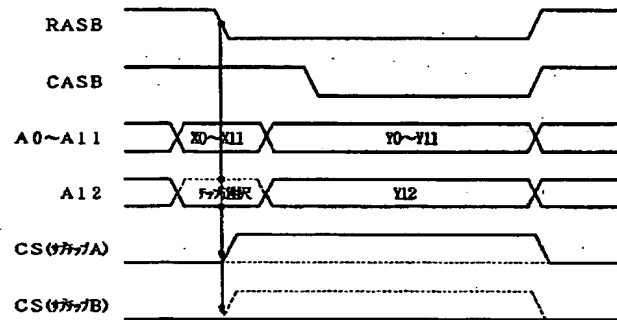


【図38】



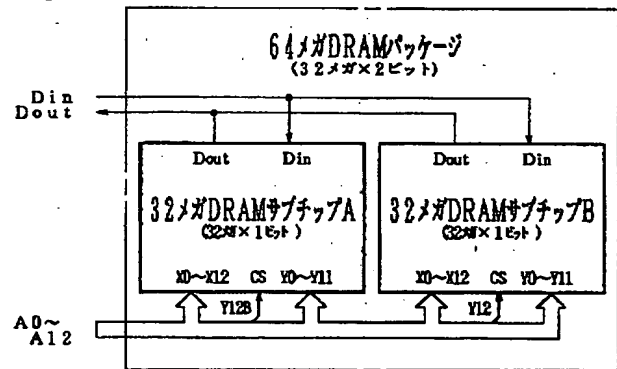
【図41】

図411



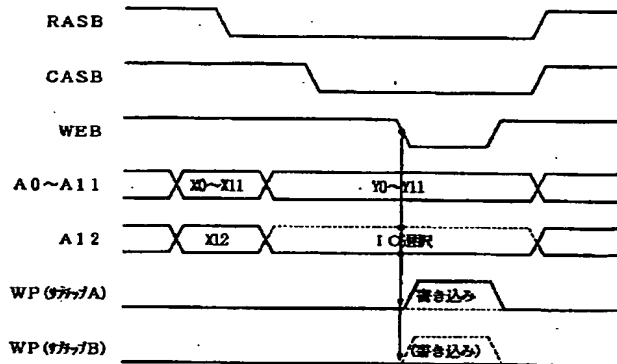
【図42】

図421

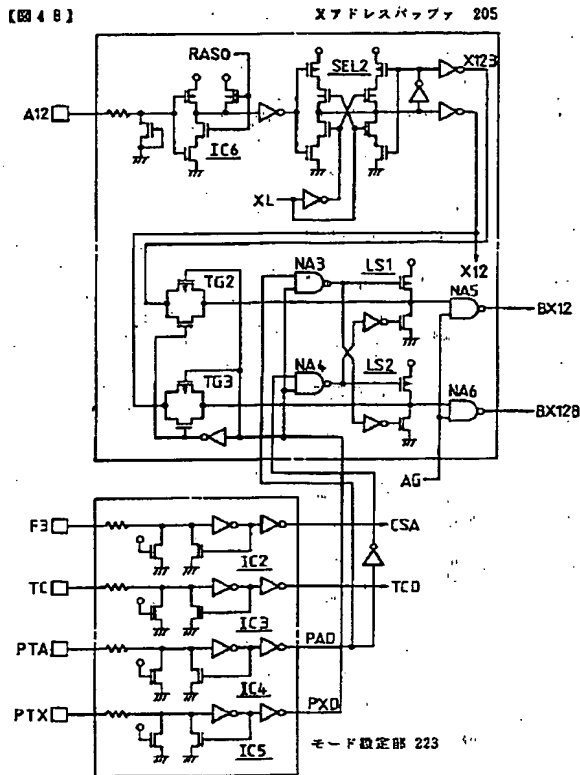


【図43】

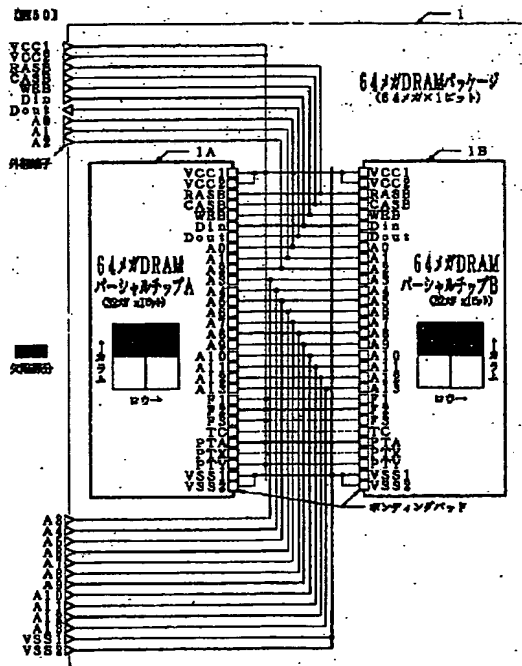
図431



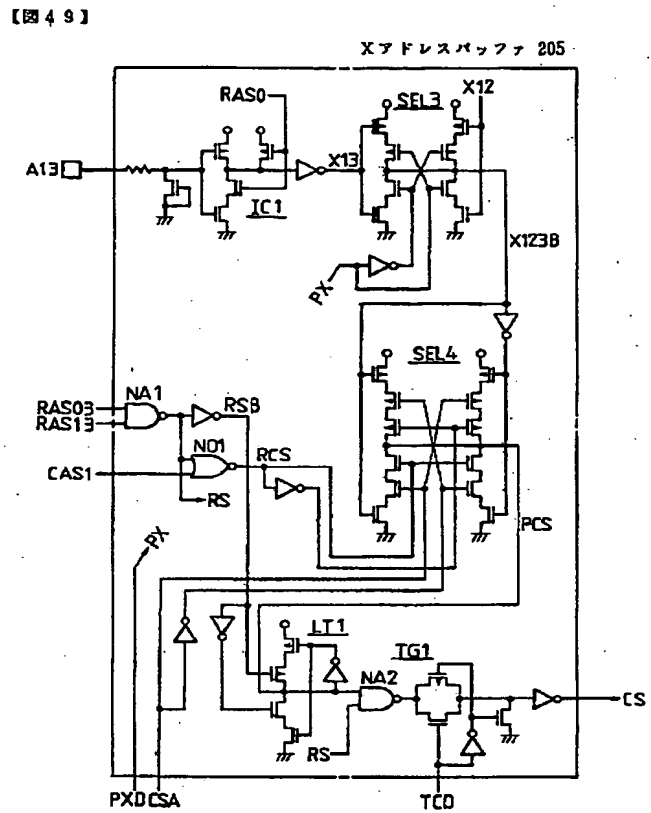
【図48】



【図50】



【図49】



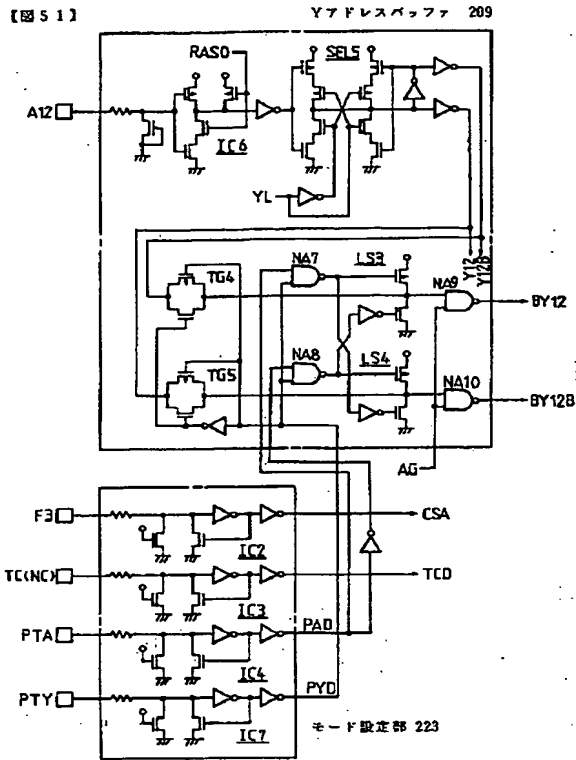
【図54】

【図54】

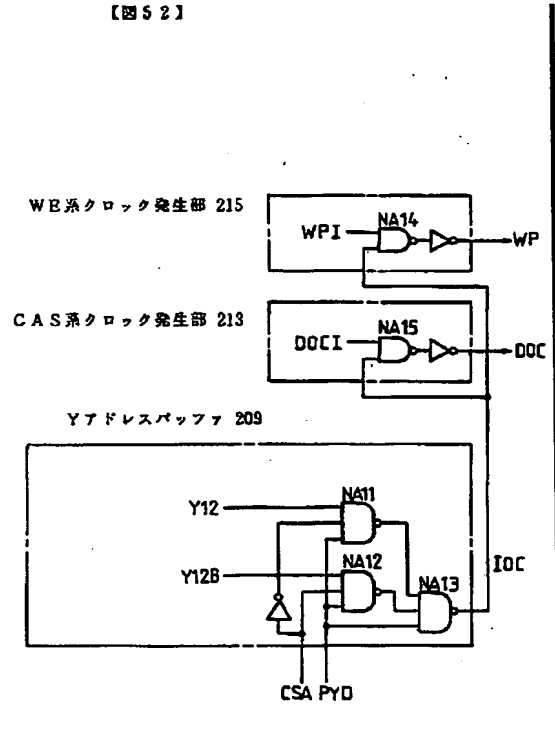
64メガDRAMパッケージのバリエーション

64メガDRAMバリエーション				64メガDRAMパッケージ				備考
ワード構成	ビット構成	正常部分	アクセス	ワード構成	ビット構成	対応図		
32メガ	×1	ローウ	選択	64メガ	×1	図47		
32メガ	×1	カラム	同時	64メガ	×1	図50	IO選択実行	
16メガ	×2	カラム	同時	16メガ	×4	図55	IO同時実行	
8メガ	×4	ローウ	選択	16メガ	×4	図56		
8メガ	×4	カラム	同時	16メガ	×4	図57	IO選択実行	
8メガ	×4	カラム	同時	8メガ	×8	図58	IO同時実行	
4メガ	×8	ローウ	選択	8メガ	×8	図59		

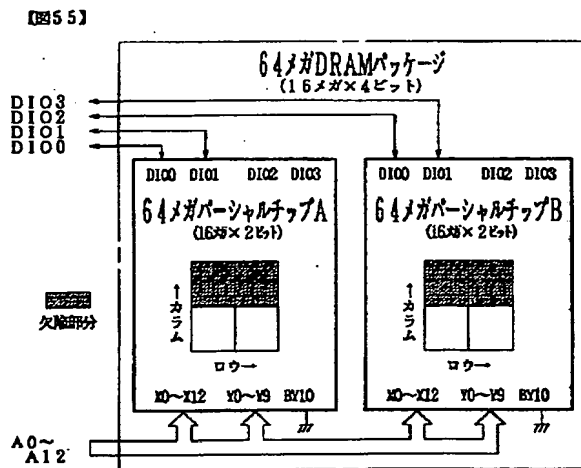
【図51】



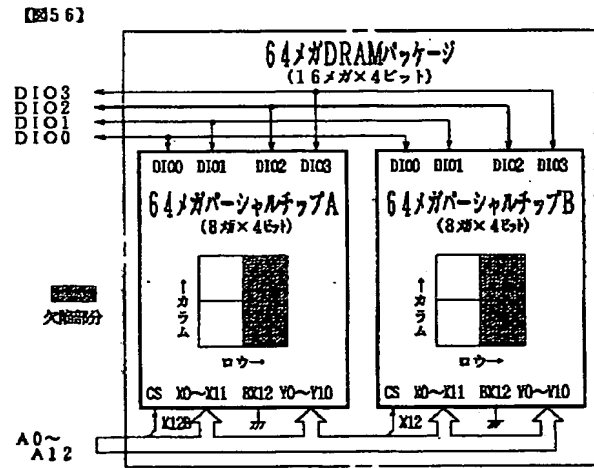
【図52】



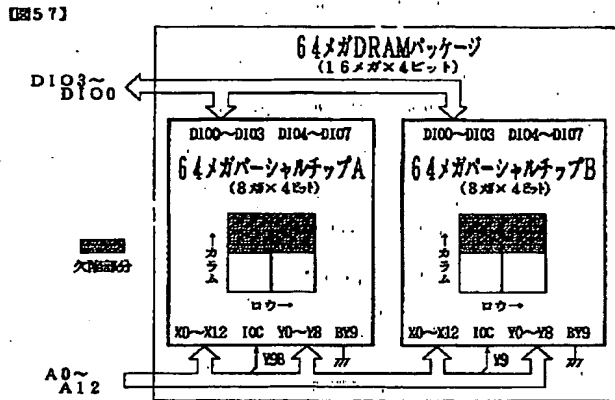
【図55】



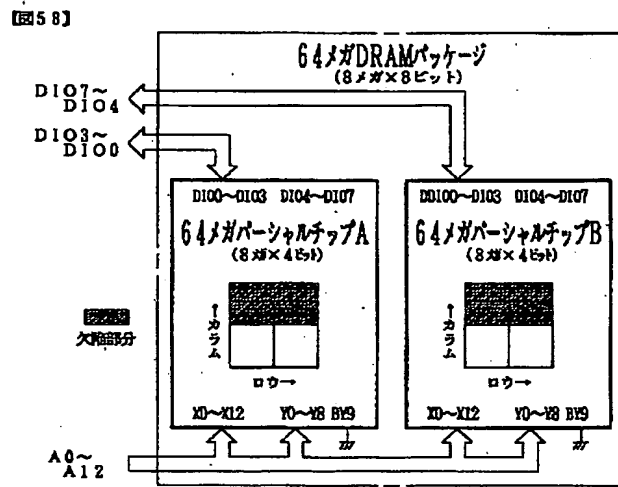
【図56】



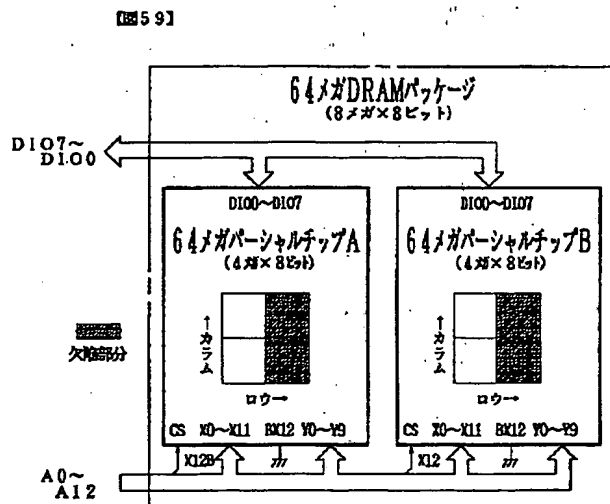
【図57】



【図58】

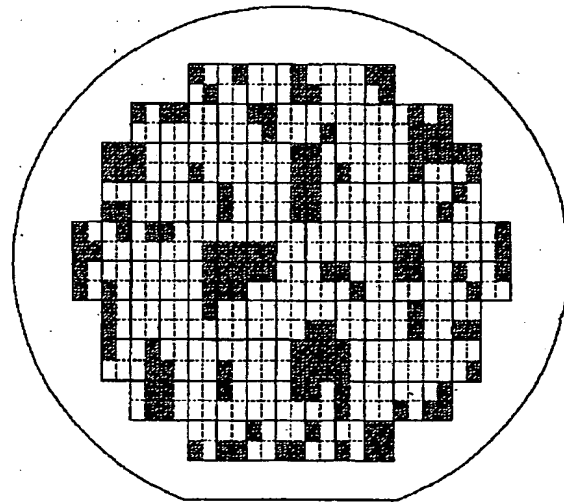


【図59】



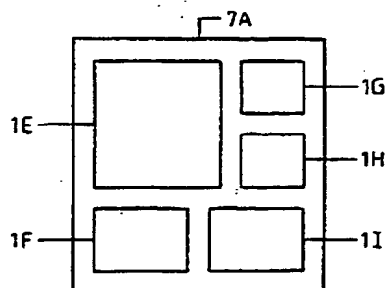
【図60】

【図60】



【図65】

【図65】



良品数 (64メガ相当個数)

従来法: 45個

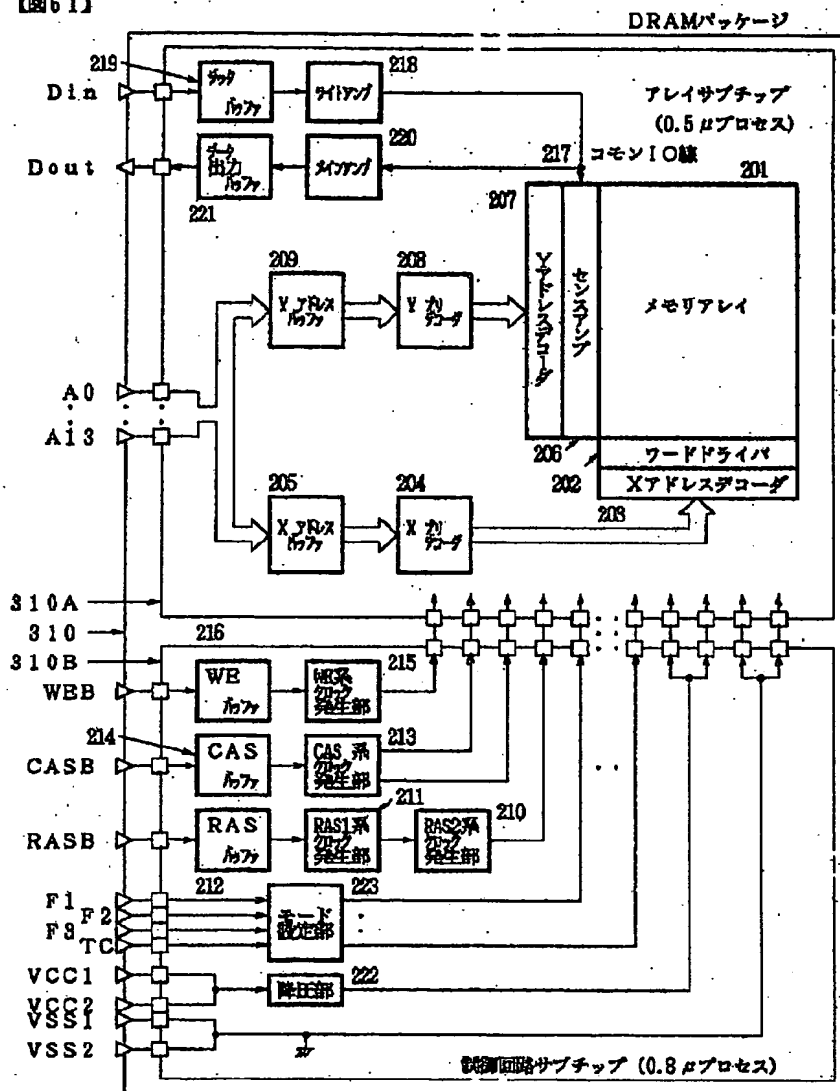
サブパッケージ法: 75個

— 64メガDRAMチップ



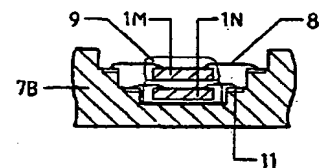
— 欠陥部分

[REDACTED] 6 1]



【图 6 7】

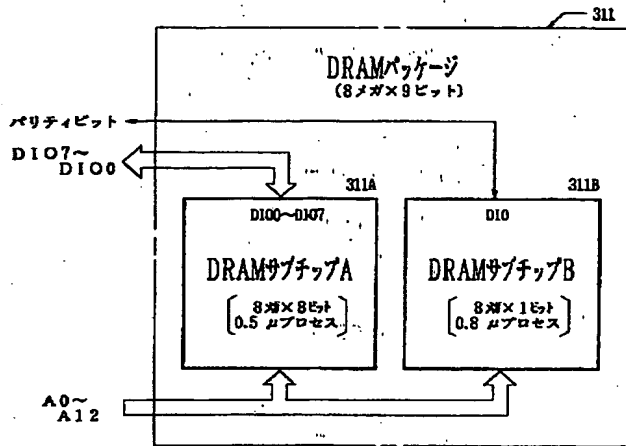
【圖 67】



【図62】

【図63】

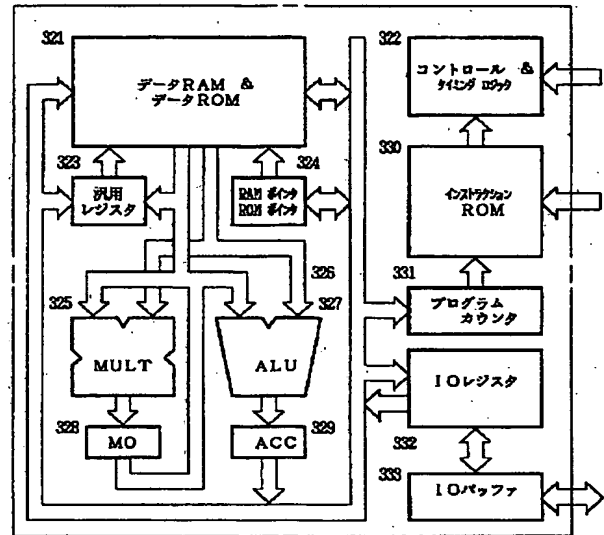
【図62】



【図64】

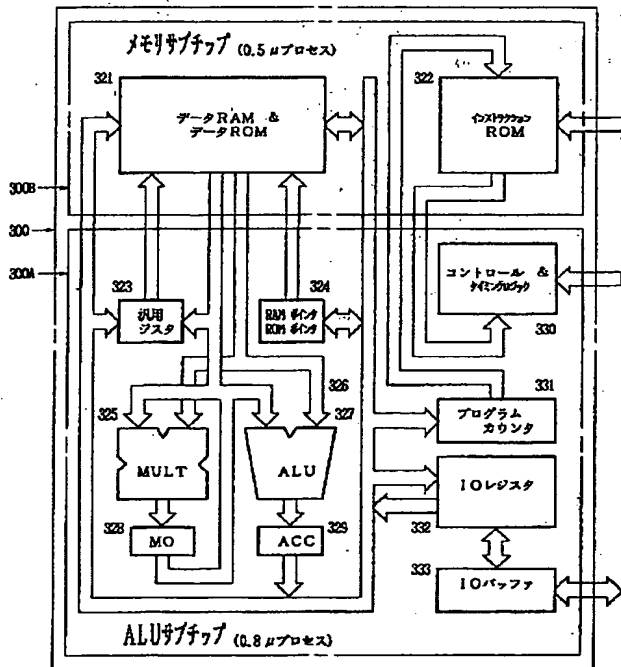
【図63】

マイクロコンピュータパッケージ（シングルチップ）



【図64】

マイクロコンピュータパッケージ（ダブルチップ）



フロントページの続き

(72) 発明者 石原 政道
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 山口 泰紀
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 笠間 靖裕
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内

(72) 発明者 宇田川 哲
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内

(72) 発明者 宮本 英治
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内

(72) 発明者 松野 庸一
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内

(72) 発明者 佐藤 博
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所武蔵工場内

(72) 発明者 野副 敦史
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内